

특 2003-0062280

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
G11C 11/15

(11) 공개번호 특2003-0062280  
(43) 공개일자 2003년07월23일

(21) 출원번호 10-2003-0002784  
(22) 출원일자 2003년01월15일  
(30) 우선권 주장 JP-P-2002-00007877 2002년01월16일 일본(JP)  
(71) 출원인 가부시끼가이샤 도시바  
일본국 도쿄도 미나토구 시바우라 1조메 1방 1고  
(72) 발명자 사이토요시아끼  
일본 가나가와켄 가와사키시 사이와이꾸고 무카이도 시바쵸 1가부시끼가이샤 도시바  
리써치앤드디벨롭먼트센터내  
니시야마가즈마  
일본 가나가와켄 가와사키시 사이와이꾸고 무카이도 시바쵸 1가부시끼가이샤 도시바  
리써치앤드디벨롭먼트센터내  
다카하시 시게키  
일본 가나가와켄 가와사키시 사이와이꾸고 무카이도 시바쵸 1가부시끼가이샤 도시바  
리써치앤드디벨롭먼트센터내  
아마노미노루  
일본 가나가와켄 가와사키시 사이와이꾸고 무카이도 시바쵸 1가부시끼가이샤 도시바  
리써치앤드디벨롭먼트센터내  
우에다도모사  
일본 가나가와켄 가와사키시 사이와이꾸고 무카이도 시바쵸 1가부시끼가이샤 도시바  
리써치앤드디벨롭먼트센터내  
요다히로아끼  
일본 가나가와켄 가와사키시 사이와이꾸고 무카이도 시바쵸 1가부시끼가이샤 도시바  
리써치앤드디벨롭먼트센터내  
마사오 요시아끼  
일본 가나가와켄 요코하마시 미소고 쿠선 스기타쵸 8가부시끼가이샤 도시바 요코하마  
퍼실리티어드미니스트레이션센터내  
미와타 요시히사  
일본 가나가와켄 가와사키시 사이와이꾸고 무카이도 시바쵸 1가부시끼가이샤 도시바  
마이크로일렉트로닉스센터내  
가시다즈마  
일본 가나가와켄 가와사키시 사이와이꾸고 무카이도 시바쵸 1가부시끼가이샤 도시바  
리써치앤드디벨롭먼트센터내  
(74) 대리인 주성민, 구영창

심사청구 있음

(54) 자기 메모리

요약

자기 기록층을 갖는 자기 저항 효과 소자(C)와, 상기 자기 저항 효과 소자의 위 또는 아래에서 제1 방향으로 연장하는 제1 배선(BL, WL)을 구비하고, 상기 제1 배선에 전류를 흘림으로써 형성되는 자계에 의해 자기 기록층의 자화를 소정의 방향으로 변화시킴으로써 정보를 기록하는 자기 메모리로서, 상기 제1 배선은 그 양측면 중 적어도 어느 하나에 자성체로 이루어지는 피복층(SM)을 포함하고, 상기 피복층은 상기 제1 배선의 길이 방향을 따라 자화가 용이해지는 일축 이방성(M)을 갖는 것을 특징으로 하는 자기 메모리를 제공한다.

도면

도1

**개요**

자화, 자기, 자장

**명세서**

**도면의 간단한 설명**

- 도 1은 본 발명의 자기 메모리의 메모리 셀 주요부를 단순화하여 도시한 모식도로서, (a)는 메모리 셀에 포함되는 한 쌍의 기입 배선 및 자기 저항 효과 소자를 나타내는 평면도이고, (b)는 그 평면도, (c)는 그 측면도.
- 도 2는 형상 효과에 의해, 길이 즉 방향을 따른 일축 이방성이 생기는 것을 설명하기 위한 개념도.
- 도 3은 분할된 피복층 SM을 갖는 배선 단면을 예시하는 모식도.
- 도 4는 반강자성체로 이루어지는 층을 적층시킨 피복층을 나타내는 개념도.
- 도 5는 돌출부를 포함한 피복층을 예시하는 모식도.
- 도 6은 돌출부 P를 형성한 경우의 배선 BL, WL과 자기 저항 효과 소자 C와의 관계를 예시하는 모식도.
- 도 7은 돌출부 P를 형성한 경우의 배선 BL, WL과 자기 저항 효과 소자 C와의 관계를 예시하는 모식도.
- 도 8은 기입용 전류 펄스를 인가했을 때의, 피복층의 자구(도메인)의 변화를 예시하는 모식도.
- 도 9는 본 발명에서의 자기 저항 효과 소자의 자기 기록층의 평면 형태의 구체예를 도시하는 모식도.
- 도 10은 강자성 1층 터널 접합을 갖는 자기 저항 효과 소자의 단면 구조를 도시하는 모식도.
- 도 11은 강자성 1층 터널 접합을 갖는 자기 저항 효과 소자의 단면 구조를 도시하는 모식도.
- 도 12는 강자성 2층 터널 접합을 갖는 자기 저항 효과 소자의 단면 구조를 예시하는 모식도.
- 도 13은 강자성 2층 터널 접합을 갖는 자기 저항 효과 소자의 단면 구조를 예시하는 모식도.
- 도 14는 강자성 2층 터널 접합을 갖는 자기 저항 효과 소자의 단면 구조를 예시하는 모식도.
- 도 15는 스위칭 트랜지스터를 이용한 경우의 셀의 아키텍처를 나타내는 모식 단면도.
- 도 16은 스위칭 트랜지스터를 이용한 경우의 셀의 아키텍처를 나타내는 모식 단면도.
- 도 17은 스위칭 트랜지스터를 이용한 경우의 셀의 아키텍처를 나타내는 모식 단면도.
- 도 18은 본 발명에 있어서 이용할 수 있는 아키텍처의 제2 구체예를 도시하는 모식도.
- 도 19는 도 18의 아키텍처에 있어서 채용할 수 있는 피복층 SM의 구체예를 도시하는 모식도.
- 도 20은 도 18의 아키텍처에 있어서 채용할 수 있는 피복층 SM의 구체예를 도시하는 모식도.
- 도 21은 메모리 어레이를 적층화할 수 있는 아키텍처의 제3 구체예를 도시하는 모식도.
- 도 22는 도 18의 아키텍처에 있어서 형성되는 피복층 SM을 예시하는 모식도.
- 도 23은 메모리 어레이를 적층화할 수 있는 아키텍처의 제4 구체예를 도시하는 모식도.
- 도 24는 도 23의 아키텍처에 있어서 형성할 수 있는 피복층 SM을 나타내는 모식도.
- 도 25는 도 23의 아키텍처에 있어서 형성할 수 있는 피복층 SM을 나타내는 모식도.
- 도 26은 본 발명에 있어서 이용할 수 있는 아키텍처의 제5 구체예를 도시하는 모식도.
- 도 27은 도 26의 아키텍처에 있어서의 피복층의 구체예를 도시하는 모식도.
- 도 28은 본 발명에 있어서 이용할 수 있는 피복층의 다른 변형예를 도시하는 모식도.
- 도 29는 본 발명에 있어서 이용할 수 있는 피복층의 다른 변형예를 도시하는 모식도.
- 도 30은 도 18 내지 도 20에 관하여 상술한 아키텍처를 적층시킨 구조를 도시하는 도면.
- 도 31은 도 18 내지 도 20에 관하여 상술한 아키텍처를 적층시킨 구조를 도시하는 도면.
- 도 32는 도 21 및 도 22에 관하여 상술한 아키텍처를 적층시킨 구조를 도시하는 도면.
- 도 33은 도 21 및 도 22에 관하여 상술한 아키텍처를 적층시킨 구조를 도시하는 도면.
- 도 34는 도 23 및 도 24에 관하여 상술한 아키텍처를 적층시킨 구조를 도시하는 도면.
- 도 35는 도 23 및 도 24에 관하여 상술한 아키텍처를 적층시킨 구조를 도시하는 도면.
- 도 36은 도 26 및 도 27에 관하여 상술한 아키텍처를 적층시킨 구조를 도시하는 도면.
- 도 37은 도 26 및 도 27에 관하여 상술한 아키텍처를 적층시킨 구조를 도시하는 도면.
- 도 38은 제1 실시예에서의 평가 결과를 나타내는 일람표.

- 도 39는 제1 실시예에서의 평가 결과를 나타내는 일람표.
- 도 40은 제1 실시예에서의 평가 결과를 나타내는 일람표.
- 도 41은 제1 실시예에서의 평가 결과를 나타내는 일람표.
- 도 42는 제1 실시예의 배선에 반감자성막을 부여한 변형예에서의 평가 결과를 나타내는 일람표.
- 도 43은 제1 실시예의 배선에 반감자성막을 부여한 변형예에서의 평가 결과를 나타내는 일람표.
- 도 44는 제1 실시예의 배선에 반감자성막을 부여한 변형예에서의 평가 결과를 나타내는 일람표.
- 도 45는 비교예의 평가 결과를 나타내는 일람표.
- 도 46은 비교예의 평가 결과를 나타내는 일람표.
- 도 47은 제2 실시예에서의 평가 결과를 나타내는 일람표.
- 도 48은 제2 실시예에서의 평가 결과를 나타내는 일람표.
- 도 49는 제2 실시예에서의 평가 결과를 나타내는 일람표.
- 도 50은 제2 실시예에서의 평가 결과를 나타내는 일람표.
- 도 51은 비교예의 평가 결과를 나타내는 일람표.
- 도 52는 비교예의 평가 결과를 나타내는 일람표.
- 도 53은 제2 실시예의 배선에 반감자성막을 부여한 변형예에서의 평가 결과를 나타내는 일람표.
- 도 54는 제2 실시예의 배선에 반감자성막을 부여한 변형예에서의 평가 결과를 나타내는 일람표.
- 도 55는 제2 실시예의 배선에 반감자성막을 부여한 변형예에서의 평가 결과를 나타내는 일람표.

<도면의 주요 부분에 대한 부호의 설명>

- AF : 반감자성층
- BF : 기반층
- BL : 비트선
- C, C1, C2 : 자기 저항 효과 소자
- T, ST, STB : 선택 트랜지스터
- D : 다이오드
- WL : 워드선
- FM, FM1, FM2 : 강자성층
- I : 전류
- NM : 비자성층
- PB : 보호층
- SA : 감지 증폭기
- SL : 적층막
- SM : 피복층
- TB : 터널 배리어층

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 자기 메모리에 관한 것으로, 보다 상세하게는 강자성 터널 접합형 등의 자기 저항 효과 소자를 갖는 메모리 셀을 집적한 구조를 갖고, 메모리 셀 간의 크로스토크를 해소하면서 저소비 전력으로 안정된 기록, 판독이 가능한 자기 메모리에 관한 것이다.

자성체막을 이용한 자기 저항 효과 소자는, 자기 헤드, 자기 센서 등에 이용되고 있음과 함께, 고체 자기 메모리(자기 저항 효과 메모리: MRAM(Magnetic Random Access Memory))에 이용하는 것이 제안되어 있다.

최근, 2개의 자성 금속층 사이에, 1층의 유전체를 삽입한 샌드위치 구조막에 있어서, 막면에 대하여 수직으로 전류를 흘리고, 터널 전류를 이용한 자기 저항 효과 소자로서, 소위 「강자성 터널 접합 소자(Tunneling Magneto-Resistance effect TMR 소자)」가 제안되고 있다. 강자성 터널 접합 소자에 있어서는 20% 이상의 자기 저항 변화율이 얻어지게 되었기 때문에(J. Appl. Phys. 79, 4724(1996)), MRAM에 대한 민영화 응용의 가능성이 높아져 왔다.

이 강자성 터널 접합 소자는 강자성 전극 상에 0.6nm~2.0nm 두께의 얇은 Si(알루미늄)층을 성장한 후, 그 표면을 산소 랑로 방전 또는 산소 가스에 노출시킴으로써, Si<sub>3</sub>N<sub>4</sub>로 이루어지는 터널 배리어층을 형성함으로써, 실현할 수 있다.

또한, 이 강자성 1중 터널 접합의 편측 한쪽의 강자성층에 반강자성층을 부여하고, 한쪽을 자화 고정층으로 한 구조를 갖는 강자성 1중 터널 접합이 제안되고 있다(일본 특개평 10-4227호 공보).

또한, 유전체 내에 분산한 자성 입자를 통한 강자성 터널 접합이나, 강자성 2중 터널 접합(연속막)도 제안되고 있다(Phys. Rev. B56(10), R5747(1997), 응용 자기학지 23,4-2, (1999), Appl. Phys. Lett. 73(19), 2829(1998), Jpn. J. Appl. Phys. 39, L1035(2001)).

이들에 있어서도, 20~50%의 자기 저항 변화율이 얻어지게 되고, 또한 원하는 출력 전압값을 얻기 위해서 강자성 터널 접합 소자에 인가하는 전압값을 늘려도 자기 저항 변화율의 감소가 억제되기 때문에, MRAM에 대한 응용의 가능성이 있다.

이들 강자성 1중 터널 접합 또는 강자성 2중 터널 접합을 이용한 자기 기록 소자는, 불휘발성으로, 기입 판독 시간도 10ns 이하로 빠르고, 재기입 횟수도 10<sup>18</sup> 이상의 전위를 갖는다. 특히, 강자성 2중 터널 접합을 이용한 자기 기록 소자는, 상술한 바와 같이, 원하는 출력 전압값을 얻기 위해서 강자성 터널 접합 소자에 인가하는 전압값을 늘려도 자기 저항 변화율의 감소가 억제되기 때문에, 큰 출력 전압이 얻어지고, 자기 기록 소자로서 바람직한 특성을 나타낸다.

그러나, 메모리의 셀 사이즈에 관해서는, 1T1R(트랜지스터)-1TMR 아키텍처(예를 들면, USP5, 734, 605호 공보에 개시되어 있음)를 이용한 경우, 반도체의 DRAM(Dynamic Random Access Memory) 이하로 사이즈를 작게 할 수 없다고 하는 문제가 있다.

이 문제를 해결하기 위해서, 비트(bit)선과 워드(word)선 사이에 TMR 셀과 다이오드를 직렬 접속한 다이오드형 아키텍처(USP5, 640, 343호 공보)나, 비트선과 워드선 사이에 TMR 셀을 배치한 단순 매트릭스형 아키텍처(DE 19744095, W099/14760)가 제안되어 있다.

그러나, 어느 경우도 기억층에의 기입 시에는 전류 필스에 의한 전류 자장에 의해 반전을 행하고 있기 때문에, 소비 전력이 크고, 배선의 허용 전류 밀도 한계가 있기 때문에 집적할 수 있는 셀의 수가 제한되고, 또한 기입 전류의 절대값이 1mA 정도나 미치기 때문에 드라이버의 면적이 커지는 등의 문제가 있다.

이 때문에, 다른 불휘발 고체 자기 메모리인 FeRAM(강유전체 랜덤 액세스 메모리)나 플래시 메모리 등과 비교한 경우 개선해야 할 문제가 많다.

이들 문제에 대하여, 기입 배선의 주위에 고투자들의 자성 재료로 이루어지는 박막을 형성한 고체 자기 기억 장치가 제안되어 있다(미국 특허5, 659, 499호; 미국 특허5, 956, 267; 국제 특허 출원 W000/10172 및 미국 특허5, 940, 319). 이들의 자기 기억 장치에 따르면, 배선의 주위에 고투자를 자성막이 형성되어 있기 때문에, 자기 기록층에의 정보 기입에 필요한 전류값을 효율적으로 저감시킬 수 있다.

#### 발명이 이루고자 하는 기술적 과제

그러나, 미국 특허5, 659, 499호가 개시하는 자기 기억 장치에서는 자기 저항 효과막의 기록층에 인가되는 자장은 불균일하고, 또한 미국 특허5, 956, 267과 미국 특허5, 940, 319에 개시되어 있는 자기 기억 장치에서는 「듀얼 스프링 밸브형 2중 터널 접합」과 같이, 적절한 자성층의 중심부에 프리층(기록층)이 형성되어 있는 구조에서는, 프리층에 효율적으로 자장을 거는 것은 곤란하다.

또한 한편, 국제 특허 출원 W000/10172에 있어서 개시되어 있는 자기 기억 장치에서는 프리층에 큰 자장을 인가할 수 있는 구조로 되어 있지만, 그 제조는 매우 곤란하게 된다.

또한, 본 발명자의 독자적인 검토 결과, 기입 배선의 주위에, 이러한 자성 재료로 형성되는 피복층을 형성한 경우, 이 피복층의 자화 상태가 매우 중요하다는 것이 판명되었다. 즉, 피복층의 자화 상태를 제어하지 않으면, 기입 배선으로부터의 전류 자장을 효율적으로 자기 저항 효과 소자의 기록층에 인가할 수 없는 것이 판명되었다. 또한, 동시에, 피복층의 자화의 방향에 따라서는, 근접하는 자기 저항 효과 소자와의 사이에서 자기적인 상호 작용이 일어나고, 아스테로이드 곡선이 변형하기 때문에, 기입이나 판독에 악영향이 생기는 경우가 있는 것이 판명되었다.

본 발명은 이러한 과제의 인식에 기초하여 이루어진 것으로, 그 목적은 기입 배선의 주위에 자성 재료로 이루어지는 피복층을 형성하는 경우에, 그 자화 상태를 제어함으로써, 전류 자장을 효율적으로 기록층에 인가할 수 있는 자기 메모리를 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위해서, 본 발명의 제1 자기 메모리는,

자기 기록층을 갖는 자기 저항 효과 소자와,

상기 자기 저항 효과 소자의 위 또는 아래에서 제1 방향으로 연장하는 제1 배선

을 구비하고, 상기 제1 배선에 전류를 흘림으로써 형성되는 자계에 의해 상기 자기 기록층에 정보를 기록하는 자기 메모리에 있어서,

상기 제1 배선은, 그 양측면 중 적어도 어느 하나에 결정 자기 이방성 상수 K101 5×10<sup>4</sup>erg/cc 이하의 자성체로 이루어지는 피복층을 포함하고,

상기 피복층은 상기 제1 배선의 길이 방향을 따라 자화가 용이해지는 일축 이방성을 갖는 것을 특징으로 한다.

상기 구성에 따르면, 인접하는 메모리 셀에의 기입 크로스토크를 해소하면서, 피복층을 통한 기입 자계를 안정적으로 자기 저항 효과 소자에 인가할 수 있어, 이 자기 저항 효과 소자와의 사이에서의 불필요한 자기적 상호 작용도 더욱 해소할 수 있다.

또한, 본 발명의 제2 자기 메모리는,

제1 방향으로 연장하는 제1 배선과,

상기 제1 배선의 위에 형성된 자기 저항 효과 소자와,

상기 자기 저항 효과 소자의 위에서, 상기 제1 방향과 교차하는 방향으로 연장하는 제2 배선

을 구비하고, 상기 제1 및 제2 배선에 각각 전류를 흘림으로써 형성되는 자계에 의해 상기 자기 저항 효과 소자의 기록층에 2차 정보 중 어느 하나를 기록하는 자기 메모리에 있어서,

상기 제1 및 제2 배선 중 적어도 어느 하나는, 적어도 그 양측면에 결정 자기 이방성 상수  $K_{101}$ 이  $5 \times 10^6 \text{ erg/cc}$  이하의 자성체로 이루어지는 피복층을 포함하고,

상기 피복층은 그 피복층이 형성된 배선의 길이 방향을 따라 자화가 용이하게 되는 일축 이방성을 갖는 것을 특징으로 한다.

상기 구성에 따라서는, 인접하는 메모리 셀에의 기입 크로스토크를 해소하면서, 피복층을 통한 기입 자계를 안정적으로 자기 저항 효과 소자에 인가할 수 있어, 이 자기 저항 효과 소자와의 사이에서의 불필요한 자기적 상호 작용도 더욱 해소할 수 있다.

또한, 여기서 「교차하다」는, 공간에서 2개의 배선이 평행하지 않고 또한 만나지도 않게 배치된 상태를 말하는 것으로 한다.

또한, 본 발명의 제3 자기 메모리는, 제1 방향으로 연장하는 제1 배선과,

상기 제1 배선의 위에 형성된 자기 저항 효과 소자와,

상기 자기 저항 효과 소자의 위에서, 상기 제1 방향과 교차하는 방향으로 연장하는 제2 배선

을 구비하고, 상기 제1 및 제2 배선에 각각 전류를 흘림으로써 형성되는 자계에 의해 상기 자기 저항 효과 소자의 기록층에 2차 정보 중 어느 하나를 기록하는 자기 메모리에 있어서,

상기 제1 및 제2 배선 중 적어도 어느 하나는 적어도 그 양측면에 자성체로 이루어지는 피복층을 포함하고,

상기 배선으로부터 보자 자기 피복층의 외측에 인접하여 형성된 도전성 비자성 재료로 이루어지는 도전층을 더 포함한 것을 특징으로 한다.

#### <실시의 형태>

이하, 도면을 참조하면서 본 발명의 실시의 형태에 대하여 설명한다.

도 1은 본 발명의 자기 메모리의 메모리 셀 주요부를 단순화하여 도시한 모식도이다. 즉, 도 1의 (a)는 메모리 셀에 포함되는 한 쌍의 기입 배선 및 자기 저항 효과 소자를 도시하는 정면도이고, (b)는 그 평면도, (c)는 그 측면도이다.

즉, 본 발명의 자기 메모리는 자기 저항 효과 소자 C의 상하에, 대략 직교하는 한 쌍의 기입 배선 BL, WL이 대향하여 형성되어 있다. 자기 저항 효과 소자 C에는 자계를 인가함으로써, 그 자화 방향이 반전 가능한 자기 기록층이 형성되어 있다. 그리고, 한 쌍의 기입 배선 BL, WL에 각각 기입 전류를 흘림으로써 생기는 합성 자장에 의해, 이 자기 기록층의 자화 방향을 적절하게 반전시켜 「기입」, 즉 정보의 기록을 실행한다.

한 쌍의 기입 배선 BL, WL은 그 주위에 자성 재료로 이루어지는 피복층 SM을 갖는다. 피복층 SM은 각각의 배선의 양측면 및 자기 저항 효과 소자 C로부터 본 이면측에 각각 형성되고, 자계의 누설을 방지하는 역할을 갖는다. 즉, 피복층 SM을 형성함으로써, 기입 배선 BL, WL로부터 생기는 전류 자장에 의한 좌우 방향 또는 상하 방향에 인접하는 다른 메모리 셀에의 「기입 크로스토크」를 방지할 수 있다.

또한, 이러한 피복층 SM은 그 자체가, 소위 「자기 요크」가 되고, 기입 배선 BL, WL의 주위에 생기는 전류 자장을 유도하여, 자기 저항 효과 소자 C의 자기 기록층에 집중시키는 작용도 갖는다. 그 결과로서, 기입 전류를 저감하여, 메모리의 소비 전력을 낮출 수도 있다.

그러나, 본 발명에서는 이러한 피복층 SM의 자화 용이 방향 M을, 배선 BL, WL의 길이 방향에 대하여 평행한 방향으로 형성한다. 이러한 배선의 길이 축 방향으로 일축 이방성을 피복층 SM에 설정해 두면, 그 바로 아래 또는 바로 위쪽의 자기 저항 효과 소자 C와의 자기적 상호 작용의 영향을 작게 할 수 있어, 기입 전류에 의해 생기는 전류 자계의 「변동」을 억제하여, 배선 상의 크로스토크의 영향을 작게 할 수 있다.

즉, 피복층 SM의 자화 방향이 규정되어 있지 않으면, 전류 자계에 의한 피복층 SM의 자화 방향의 반전이 일정하지 않게 되므로, 자기 저항 효과 소자의 자기 기록층에 인가되는 기입 자계가 변동될 우려가 있다. 또한, 피복층 SM의 자화 방향이 자기 저항 효과 소자 C의 방향으로 향해 있으면, 자기적인 상호 작용이 일어나므로, 기입이나 판독 동작에 있어서 불안정한 현상이 생길 우려가 있다.

이에 대하여, 피복층 SM의 자화 용이 방향을 배선 BL, WL의 길이 방향으로 규정해 두면, 이들의 문제가 해소되어, 안정된 기입, 판독이 가능하게 된다.

이러한 피복층 SM의 재료로는 결정 자기 이방성 상수  $K_1$ 이  $5 \times 10^4 \text{ erg/cc}$  이하인 재료를 이용하는 것이 바람직하다. 구체적으로는, 예를 들면 니켈 철(Ni-Fe) 합금, 코발트 니켈(Co-Ni) 합금, 코발트 철 니켈(Co-Fe-Ni) 합금 또는 코발트(Co)와 지르코늄(Zr), 하프늄(Hf), 니오븀(Nb), 탄탈(Ta), 티탄(Ti) 중 적어도 어느 하나와의 합금(비정질 합금도 포함), 또는 (Co, Fe, Ni)-(Si, B)-(P, Al, Mo, Nb, Mn)계 등의 비정질 합금, (Fe, Co)-(B, Si, Hf, Zr, Sm, Ta, Al)-(F, O, N)계 등의 금속-비금속 나노그래놀라이트, 또는 절연성 페라이트 등을 이용할 수 있다.

예를 들면, 적당한 티깃 조성을 선택함으로써, 퍼말로이(NiFe)의  $K_1$ 은 약  $2 \times 10^4 \text{ erg/cc}$ 로, CoNi의  $K_1$ 은 약  $4 \times 10^4 \text{ erg/cc}$ 로, CoFeNi의  $K_1$ 은 약  $1 \times 10^4 \text{ erg/cc}$ 로 용이하게 선택할 수 있다.

또한, 이들 중 어느 하나로 이루어지는 박막을 단층으로 이용해도 되고, 또는 복수 종류의 박막을 적층하여 이용해도 된다.

이들 재료로 이루어지는 피복층 SM에 대하여, 배선 BL, 띠의 길이 축 방향을 따른 일축 이방성을 부여하기 위해서는, 피복층 SM의 형상을 규정하거나, 또는 자성층을 부여하면 된다.

예를 들면, 도 2에 도시한 바와 같이, 배선 BL, 띠의 주위를 따른 피복층 SM의 길이의 합계 ( $2L_1 + L_2$ )를 배선 BL, 띠의 길이 축 방향의 피복층 SM의 길이  $L_1$ 보다 짧게 하면, 형상 효과에 의해, 길이 축 방향을 따른 일축 이방성이 생긴다.

또한, 실제 이용하는 자성 재료의 자구 도메인 사이즈를 고려하면, 상기한 피복층 SM의 길이의 합계 ( $2L_1 + L_2$ )를  $1 \mu\text{m}$  이하로 하는 것이 보다 바람직하다. 즉, 이 범위 이내로 하면, 배선 길이 축 방향 이외의 자화가 생기기 어려워진다.

또한, 한편 배선 BL, 띠의 길이 축 방향의 피복층 SM의 길이  $L_1$ 을 자기 저항 효과 소자의 길이 축 방향의 길이  $L_2$ 의 약 1.5배 이상으로 하면, 기입 배선 BL, 띠로부터의 부유 자장(stray field)의 영향이 없고, 안정된 스위칭 특성이 얻어진다.

또한, 피복층 SM의 두께  $t_1$ ,  $t_2$ 를  $0.05 \mu\text{m}$  이하로 하면, 그 막 두께 방향의 반 자계가 커져, 자장 중 어닐링 시에도 막 두께 방향을 따른 자기 이방성은 형성되지 않는다. 그 결과, 바로 아래 또는 바로 위쪽의 자기 저항 효과 소자 C와의 자기적 상호 작용의 영향을 작게 할 수 있어서, 기입 전류에 의해 생기는 기입 자계의 변동이 억제되며, 배선 상의 크로스토크의 영향을 작게 할 수 있다.

또한, 형상 효과에 의해 일축 이방성을 얻는 또 하나의 방법으로서, 배선 BL, 띠의 주위에 형성하는 피복층 SM을 복수로 분할하는 방법이 있다.

도 3은 이와 같이 분할된 피복층 SM을 갖는 배선 단면을 예시하는 모식도이다. 즉, 도 3의 (a)에 도시한 구체예의 경우, 피복층 SM은 배선 BL, 띠의 양측면 및 이면에서, 각각 분할하여 독립적으로 형성되어 있다. 이와 같이 배선의 주위 방향으로 피복층 SM을 분할하면, 각각의 피복층 SM을 배선의 길이 방향을 따른 「가늘고 긴」 형상으로 하는 것이 용이하여, 배선 길이 축 방향을 따른 일축 이방성을 용이하게 부여할 수 있다. 또, 배선 BL, 띠에 형성되는 기입 전류 자계는 배선 BL, 띠의 주위를 피복층 SM의 내부를 환류하도록 형성되기 때문에, 분할된 피복층 SM의 「미음매」에 있어서도, 피복층 SM의 단부면으로부터 단부면으로 자속이 통과한다. 따라서, 이와 같이 피복층 SM을 분할해도, 그 「미음매」로부터 주위로 자계가 누설될 우려는 거의 없다.

또한, 도 3의 (b)에 도시한 구체예의 경우, 피복층 SM은 배선 BL, 띠의 좌우로 분할되어 있다. 이와 같이 분할한 경우, 배선의 모서리를 피복층 SM이 덮고 있기 때문에, 자속의 누설에 대해서는 특히 유리하다.

또한, 도 3의 (c)에 도시한 구체예의 경우, 배선 BL, 띠의 측면에서 피복층 SM이 분할되어 있다. 또한, 도 3의 (d)의 구체예의 경우에는, 이면에서도 피복층 SM이 분할되어 있다. 도 3의 (e)는 배선의 위에 배리어 메탈층 BML이 형성되고, 피복층 SM은 배선의 양측면과 배리어 메탈층 BML의 위에 분할하여 형성되어 있다.

이상, 도 3에 예시한 바와 같이, 피복층 SM을 배선 BL, 띠의 주위 방향으로 분할함으로써, 피복층 SM을 「가늘고 긴」 형상으로 하는 것이 용이하게 되고, 배선 길이 축 방향을 따른 일축 이방성을 확실하고, 또한 용이하게 부여할 수 있다.

또, 도 3의 (c) 및 (d)에 도시한 구조를 제조하는 방법으로서, 예를 들면 배선 BL, 띠를 형성한 후에, 그 하측으로부터, 피복층 SM을 순서대로 형성하면 된다.

또한, 도 3의 (e)에 도시한 구조를 제조하는 방법으로서, 배선과 배리어 메탈층의 각각을 적층시키고, RIE 등의 방법에 의해 패터닝할 때에, 배선의 사이드 에칭이 진행하도록, 각 재료나 에칭 조건을 선택한다. 이와 같이 하면, 배리어 메탈층 BML의 양단이 배선으로부터 외측으로 돌출하여, 오버행이 형성된다. 이 상태에서, 피복층 SM을 도금 등의 방법에 의해 형성하면, 도 3의 (e)에 도시한 구조가 얻어진다.

한편, 피복층 SM의 자화 방향을 규정하는 방법으로서, 반강자성체로 이루어지는 층을 적층하는 방법이 있다.

도 4의 (a) 및 (b)는 반강자성체로 이루어지는 층을 적층시킨 피복층을 나타내는 개념도이다.

즉, 자성체로 이루어지는 피복층 SM의 주위에 반강자성층 AF가 적층되어 있다. 이와 같이 반강자성층 AF를 적층시킴으로써, 피복층의 자화 방향을 배선 길이 축 방향으로 고정할 수 있다. 이 때에, 반강자성층 AF는 도 4의 (a)에 도시한 바와 같이 피복층 SM의 외측에 적층시켜도 되고, 또는 도 4의 (b)에 도시한 바와 같이 피복층 SM의 내측에 적층시켜도 된다. 또는 2층 또는 그 이상의 피복층 SM의 층간에 반강자성층

AF를 삽입해도 된다.

또한, 피복층 SM과 반강자성층 AF 사이에, 비자성층을 삽입하여, 피복층 SM과 반강자성층 AF와의 자기 결합을 조절해도 된다.

또한, 도 3에 예시한 바와 같이 피복층 SM을 분할하여, 각각에 반강자성층 AF를 적층시켜도 된다. 이와 같이 하면, 보다 확실한 일축 이방성을 부여할 수 있다.

도 3에 도시한 바와 같이, 피복층 SM을 분할하여 구성하는 경우에도, 후술하는 바와 같이, 분할된 피복층 SM 하부에 배선 BL, WL보다 아래쪽 방향으로 돌출되는 플기부 P(점선으로 도시)를 설치해도 좋으며, 그러한 플기부 P를 설치하는 것에 의해 저소비전력화 및 저전류화를 가능하게 할 수 있다.

또한, 대략 직교하는 한 쌍의 기입 배선 BL, WL의 각각에 이와 같이 반강자성층 AF를 형성하는 경우, 각각의 반강자성층 AF의 자화 방향을 각각의 배선 길이 축 방향으로 고정하는 프로세스가 필요하다.

그로 인해, 예를 들면 상하의 배선 BL, WL에 대하여, 블로킹 온도(감자성/반강자성 사이의 결합력이 재로 가 되는 온도)가 다른 반강자성층을 이용하면 된다. 즉, 가장 중 어닐링 처리에 의해, 고온으로부터 온도를 저하시키는 과정에서, 우선 블로킹 온도가 높은 반강자성층이 형성된 배선의 길이 축 방향에 평행한 자장을 인가하면서 이 블로킹 온도보다 저온으로까지 냉각시킴으로써, 자화 방향을 고정한다. 그리고 나서, 다른 한쪽의 배선의 길이 축 방향에 대하여 평행한 방향으로 자장을 인가하면서, 이 배선에 형성된 반강자성층의 블로킹 온도보다 저온으로까지 냉각시킴으로써, 자화 방향을 고정한다.

이러한 방법은 블로킹 온도가 50℃ 정도 다른 2종류의 반강자성체를 이용함으로써 실시할 수 있다. 반강자성체의 블로킹 온도는, 예를 들면 니켈 망간이 430℃, 백금 망간이 360℃, 이리듐 망간이 270℃, 철 망간이 150℃이다. 따라서, 이들 중 2개를 선택하여, 상하의 배선 BL, WL에 이용하면 된다.

또한, 피복층 SM의 재료로서, 결정 자기 이방성 상수  $K_1$ (1차의 항)이  $5 \times 10^4 \text{ erg/cc}$  이하인 재료를 이용하면, 반강자성층 AF와 감자성막의 블로킹 온도 이상으로 가열함으로써, 피복층 SM의 길이 및 두께 등이 상술한 조건의 조건을 충족시키면, 직교한 배선 방향에 각각 일축 이방성을 확실하게 부여할 수 있는 것을 알 수 있었다.

이와 같이 네일 온도에 따라 순차적으로 온도를 저하시킴으로써, 대략 직교하는 한 쌍의 기입 배선의 각각에 대하여, 피복층 SM의 자화를 배선 길이 축 방향으로 고정할 수 있다.

또한, 이들 배선과 피복층 SM 사이 또는 피복층 SM의 외측에는 질화 탄탈(TaN), 질화 실리콘(SiN), 질화 티탄(TiN) 등으로 이루어지는 '배리어 메탈'을 형성하는 것이 바람직하다. 또한, 피복층 SM과 반강자성막 사이에 구리(Cu) 등으로 이루어지는 비자성층을 삽입하고, 피복층 SM과 반강자성막과의 상호 작용을 조정하여, 연자성 특성을 조정하도록 해도 된다.

이상, 피복층 SM에 일축 이방성을 부여하는 방법에 대하여 설명하였다.

한편, 본 발명에 있어서는 피복층 SM의 외측 또는 내측에 구리 등으로 이루어지는 도전층을 형성할 수 있다. 이 도전층은 피복층 SM을 도금 등의 방법에 의해 형성할 때의, 시드층으로서 작용한다.

도 4의 (c) 및 (d)는 이러한 도전층을 형성한 배선의 횡단면을 도시하는 모식도이다.

즉, 도 4의 (c)는 비트선 BL 또는 워드선 WL의 외측에 피복층 SM이 형성되고, 그 주위에 도전층 CL이 형성되어 있다. 또한, 도전층 CL의 외측에는, 배리어 메탈층 BML이 형성되어 있다. 배리어 메탈층 BML의 주위는, 예를 들면  $\text{SiO}_2$  등의 절연층 IL에 의해 매립할 수 있다. 여기서, 배리어 메탈층 BML은 TiN이나 TaN 등으로 이루어지고, 피복층 SM 등의 재료가 주위로 확산하는 것을 방지하는 역할을 갖는다.

도 4의 (c)에 도시한 배선 구조는 그 주위로부터 순서대로 형성하는 경우에 유리한 구조이다. 즉, 절연층 IL에 배선층 홀을 형성하고, 그 홀의 내벽에, 우선 배리어 메탈층 BML을 형성한다. 그리고 나서, 도전층 CL을 형성한다. 도전층 CL은, 예를 들면 구리 등으로 형성할 수 있다.

다음으로, 도전층 CL을 시드층으로 하여, 그 위에, 도금법에 의해 자성체로 이루어지는 피복층 SM을 형성할 수 있다. 그리고, 피복층 SM의 내측에, 도금법에 의해 배선 BL(WL)을 형성한다.

이상 설명한 프로세스에 따르면, 도전층 CL을 시드층으로 이용함으로써, 피복층 SM의 아일런드 성장을 방지할 수 있다. 즉, 얇고 균일한 피복층 SM을 도금법에 의해 형성할 수 있다. 이와 같이 얇고 균일한 피복층 SM을 형성함으로써, 일축 이방성을 용이하게 부여할 수 있다.

한편, 도 4의 (d)에 도시한 구조의 경우, 비트선 BL 또는 워드선 WL의 외측에, 우선 배리어 메탈층 BML이 형성되고, 그 외측에, 도전층 CL, 피복층 SM, 배리어층 BBL이 순서대로 형성되어 있다. 피복층 SM의 주위는, 예를 들면 절연층 IL에 의해 매립되어 있다. 배리어층 BBL은, 예를 들면 SiN 등으로 형성할 수 있다.

도 4의 (d)의 구조는 내측의 배선 BL(WL)로부터 순서대로 형성하는 프로세스에 적합하다. 즉, 이 경우에는 구리 등으로 이루어지는 도전층 CL을 시드층으로 하여 그 표면에 피복층 SM을 도금법에 의해 형성할 수 있다. 이 경우에도, 피복층 SM의 아일런드 성장을 방지할 수 있다. 즉, 얇고 균일한 피복층 SM을 도금법에 의해 형성할 수 있다. 이와 같이 얇고 균일한 피복층 SM을 형성함으로써, 일축 이방성을 용이하게 부여할 수 있다.

또, 도 4의 (c)의 구조는, 예를 들면 자기 저항 효과 소자 C의 하측에 형성하는 배선에 적합하다.

한편, 도 4의 (d)의 구조는, 자기 저항 효과 소자 C의 상측에 형성하는 배선에 적합하다.

도 4의 (c), (d)의 어느 경우든, 배리어 메탈층 BML이나 배리어층 BBL은 피복층 SM을 구성하는 원소가, 주위를 매립하는 절연층 IL이나, 자기 저항 효과 소자 C를 개재하여 그 하방에 형성되는 MOS 트랜지스터 등

의 반도체 소자부로 확산하는 것을 방지하는 역할을 갖는다.

이상, 피복층 SM의 외측 또는 내측에 형성되는 도전층 C에 대하여 설명하였다.

한편, 이들 피복층 SM에는, 자기 저항 효과 소자 C를 위한 돌출부를 더 포함함으로써, 저소비 전력, 저전류에서의 스핀 반전을 더욱 실현시킬 수 있다.

도 5는 이러한 돌출부를 포함한 피복층을 예시하는 모식도이다.

즉, 도 5에 도시한 바와 같이, 기입 배선 BL, ML의 측면으로부터 자기 저항 효과 소자 C의 방향을 향하여 돌출된 돌출부 P를 형성한다.

이러한 돌출부 P를 형성하면, 피복층 SM 내에 유도된 기입 자계를 자기 저항 효과 소자 C의 자화 기록층에 집중시킬 수 있다. 즉, 본 발명에서의 피복층 SM은 「자기 요크」로서 작용하여, 배선 BL, ML의 주위에 형성되는 기입 자계를 유도한다. 그리고, 이러한 돌출부 P를 형성함으로써, 기입 자계의 방출단을 자기 저항 효과 소자 C의 자기 기록층에 접근시켜 효과적으로 인가할 수 있다.

도 6 및 도 7은 이러한 돌출부 P를 형성한 경우의 배선 BL, ML과 자기 저항 효과 소자 C와의 관계를 예시하는 모식도이다. 즉, 도 6의 구체예의 경우, 상측의 배선의 피복층 SM에 돌출부 P가 형성되어 있다. 그리고, 도 7의 구체예의 경우에는, 보다 하측의 배선의 피복층 SM에도 돌출부 P가 형성되어 있다.

이들 구체예와 같이 피복층 SM에 돌출부 P를 형성함으로써, 기입 자계의 방출단을 자기 저항 효과 소자 C에 가까이 할 수 있어, 보다 전류 자체 효율이 높아져, 저소비 전력화, 저전류화가 가능해진다.

또한, 이와 같이 기입 전류를 저장시킬 수 있으면, 구동 회로의 용량도 작게 할 수 있어, 기입 배선의 굵기도 가늘게 할 수 있으므로, 메모리의 사이즈를 축소하여 집적도를 높일 수도 있다.

또한, 기입 전류를 저하시킴으로써, 기입 배선에 있어서의 일렉트로마이그레이션 등의 문제도 억제하여, 자기 메모리의 신뢰성을 향상시켜 수명도 늘릴 수 있다.

도 8은 기입용 전류 펄스를 인가했을 때의, 피복층의 자구(도메인)의 변화를 예시하는 모식도이다. 즉, 도 8의 (a)는 비트선 BL에 대하여 평행한 방향으로부터 바라본 도면, 도 8의 (b)는 워드선 ML에 대하여 평행한 방향으로부터 바라본 도면이다.

기입 배선 BL, ML을 전류 펄스가 통과하면, 전류 펄스의 폭(인가 시간에 대응함)에 의해 피복층 SM에 자기력이 형성된다. 그리고, 기입 배선 BL, ML의 길이 축 방향으로 보자, 전류의 펄스가 존재하는 곳만, 자기 저항 효과 소자 C에 유효하게 자기 H가 전해지고, 상하의 배선으로부터의 자기 H의 합성 자계에 의해 자기 저항 효과 소자 C의 자기 기록층이 자화 반전한다.

또, 상기 자기 저항 효과 소자의 자화 방향은 도 8에 도시한 바와 같이 반드시 직선형으로 있을 필요는 없고, 「엣지 도메인」 등을 형성함으로써 굴곡된 것이어도 된다. 즉, 자기 기록층의 자화 방향은 그 평면 형태에 따라 다양하게 변화된다.

도 9는 본 발명에서의 자기 저항 효과 소자의 자기 기록층의 평면 형태의 구체예를 도시하는 모식도이다. 즉, 자기 저항 효과 소자의 자기 기록층은, 예를 들면 도 9의 (a)에 도시한 바와 같이 장방형의 한쪽의 대각 양단에 돌출부를 부가한 형상이나, 도 9의 (b)에 도시한 바와 같은 평행 사변형, 도 9의 (c)에 도시한 바와 같은 마름모형, 도 9의 (d)에 도시한 바와 같은 타원형, 도 9의 (e)에 도시한 바와 같은 엣지 경사형 등의 각종 형상으로 할 수 있다. 이들 각각의 구체예에서, 화살표로 나타난 바와 같이 자화가 형성된다.

여기서, 자기 기록층을 도 9의 (a)~(c), (e)에 도시한 형상으로 패턴닝하는 경우, 실제로는 각부가 둥글게 되는 경우가 많은데, 그와 같이 각부가 둥글게 되어도 된다. 이들의 비대칭인 형상은 포토리소그래피에 있어서 이용하는 레티클의 패턴 형상을 비대칭 형상으로 함으로써 용이하게 제작할 수 있다.

또한, 여기서 자기 저항 효과 소자의 자기 기록층의 폭 W와 길이 L의 비 L/W는 1.2 이상인 것이 바람직하고, 길이 L의 방향에 일축 이방성이 부여되어 있는 것이 바람직하다.

다음으로, 본 발명의 자기 메모리에 미용할 수 있는 자기 저항 효과 소자 C의 구조에 대하여, 도 10~도 14를 참조하면서 설명한다.

도 10 및 도 11은 강자성 1층 터널 접합을 갖는 자기 저항 효과 소자의 단면 구조를 도시하는 모식도이다.

즉, 도 10의 자기 저항 효과 소자의 경우, 기반층 BF의 위에, 반강자성층 AF, 강자성층 FM, 터널 배리어층 TB, 강자성층 FM, 보호층 PB가 이 순서대로 적층되어 있다. 반강자성층 AF에 인접하여 적층된 강자성층 FMI, 자화 고착층(핀층)으로서 작용하고, 터널 배리어층 TB의 위에 적층된 강자성층 FMI 기록층(프리층)으로서 작용한다.

도 11의 자기 저항 효과 소자의 경우, 터널 배리어층 TB의 상하에, 강자성층 FM과 비자성층 NM과 강자성층 FMI 적층된 적층막 SL이 각각 형성되어 있다. 이 경우도, 반강자성층 AF와 터널 배리어층 TB 사이에 형성된 적층막 SL이 자화 고착층으로서 작용하고, 터널 배리어층 TB의 위에 형성된 적층막 SL이 기록층으로서 작용한다.

도 12 내지 도 14는 강자성 2층 터널 접합을 갖는 자기 저항 효과 소자의 단면 구조를 예시하는 모식도이다. 이들의 도면에 대해서는 도 11 및 도 12에 관하여 상술한 것과 마찬가지로의 요소에는 동일한 부호를 붙여 상세한 설명은 생략한다.

도 12 내지 도 14에 예시한 구조의 경우, 어느 것이나 2층의 터널 배리어층 TB가 형성되고, 그 상하에 강자성층 FM 또는 강자성층 FM과 비자성층 NM과의 적층막 SL이 형성되어 있다. 여기에 예시한 2층 터널 접합 소자의 경우에는, 상하의 반강자성층 AF에 인접하여 적층된 강자성층 FM 또는 적층막이 자화 고착층으



로서 작용하고, 2층의 터널 배리어층 TB의 사이에 형성된 강자성층 FM 또는 적층막 SLI 기록층으로서 작용한다.

미러한 2층 터널 집합을 채용하면, 기록층의 자화 방향에 대한 전류 변화(또는 전압 변화)를 크게 할 수 있는 점에서 유리하다.

또, 본 발명의 자기 메모리에 있어서 이용하는 자기 저항 효과 소자는, 도 10 내지 도 14에 예시한 것에 한정되지 않고, 이를 이외에도, 예를 들면 제1 강자성층과 비자성층과 제2 강자성층을 적층시킨, 소위 「스핀 밸브 구조」의 자기 저항 효과 소자 등을 이용할 수도 있다.

자기 저항 효과 소자로서 어느 구조를 채용한 경우에도, 한쪽의 강자성층을, 자화 방향이 실질적으로 고정된 「자화 고착층」(핀층) 등이라고 불리는 경우도 있음)으로서 작용시키고, 다른 쪽의 강자성층을, 외부로부터의 자계를 인가함으로써 자화 방향을 가변으로 한 「자기 기록층(자기 기록층)」으로서 작용시킬 수 있다.

또한, 후에 상세하게 설명하는 바와 같이, 판독 방식에 따라서는 반강자성층에 인접하여 형성된 강자성층을 기록층으로서 이용할 수도 있다.

미들의 자기 저항 효과 소자에 있어서, 자화 고착층으로서 이용할 수 있는 강자성체로서는, 예를 들면 Fe(철), Co(코발트), Ni(니켈) 또는 이들의 합금이나, 스핀 분극율이 큰 마그네타이트,  $CrO_2$ ,  $RxMnO_3$  (여기서 R은 희토류, X는 Ca(칼슘), Ba(바륨), Sr(스트론튬) 중 어느 하나를 나타냄) 등의 산화물, 또는  $NiMnSb$ (니켈 망간 안티몬),  $PtMnSb$ (백금 망간 안티몬),  $CoMnGe$  등의 호미슬러 합금을 이용할 수 있다.

이들 재료로 이루어지는 자화 고착층은, 일방향 이방성을 갖는 것이 바람직하다. 또한, 그 두께는 0.1nm 이상 100nm 이하인 것이 바람직하다. 또한 이 강자성층의 막 두께는 초상자성이 되지 않은 정도의 두께가 필요하며, 0.4nm 이상인 것이 보다 바람직하다.

또한, 자화 고착층으로서 이용하는 강자성층에는 반강자성막을 부가하여 자화를 고착하는 것이 바람직하다. 그와 같은 반강자성막으로서 Fe(철)-Mn(망간), Pt(백금)-Mn(망간), Pt(백금)-Cr(크롬)-Mn(망간), Ni(니켈)-Mn(망간), Ir(이리듐)-Mn(망간), Os(오스뮴)-Mn(망간),  $NiO$ (산화니켈),  $Fe_2O_3$ (산화철), 또는 상술한 자성 반도체 등을 예를 들 수 있다.

또한, 이들 자성체에는 Ag(은), Cu(구리), Au(금), Al(알루미늄), Mg(마그네슘), Si(실리콘), Bi(비스무스), Ta(탄탈), B(붕소), C(탄소), O(산소), N(질소), Pd(팔라듐), Pt(백금), Zr(지르코늄), Ir(이리듐), W(텅스텐), Mo(몰리브덴), Nb(니오븀), H(수소) 등의 비자성 원소를 첨가하여, 자기 특성을 조절하거나, 기타 결정성, 기계적 특성, 화학적 특성 등의 각종 물성을 조절할 수 있다.

한편, 자화 고착층으로서, 강자성층과 비자성층의 적층막을 이용해도 된다. 예를 들면, 도 11 등에 예시한 바와 같은 강자성층/비자성층/강자성층 등의 3층 구조를 이용할 수 있다. 이 경우, 비자성층을 개재하여 양쪽의 강자성층에 반강자성적인 출간의 상호 작용이 가능하고 있는 것이 바람직하다.

보다 구체적으로는, 자성층을 한 방향으로 고착하는 방법으로서,  $Co(Co-Fe)/Ru$ (루테튬)/ $Co(Co-Fe)$ ,  $Co(Co-Fe)/Ir$ (이리듐)/ $Co(Co-Fe)$ ,  $Co(Co-Fe)/Os$ (오스뮴)/ $Co(Co-Fe)$ , 자성 반도체 강자성층/자성 반도체 비자성층/자성 반도체 강자성층 등의 3층 구조의 적층막을 자화 고착층으로 하고, 또한 이에 인접하여 반강자성막을 형성하는 것이 바람직하다.

이 경우의 반강자성막으로서도, 상술한 것과 마찬가지로 Fe-Mn, Pt-Mn, Pt-Cr-Mn, Ni-Mn, Ir-Mn,  $NiO$ ,  $Fe_2O_3$ , 자성 반도체 등을 이용할 수 있다. 이 구조를 이용하면, 자화 고착층의 자화가 확실하게 자화가 고착되는 것 외에, 자화 고착층으로부터의 누설 자계(stray field)를 감소(또는 조절)시킬 수 있고, 자화 고착층을 형성하는 2층의 강자성층의 막 두께를 바꿈으로써, 자기 기록층(자기 기록층)의 자화 시프트를 조절할 수 있다.

한편, 자기 기록층(프리층)의 재료로서도, 자화 고착층과 마찬가지로, 예를 들면, Fe(철), Co(코발트), Ni(니켈) 또는 이들 합금이나, 스핀 분극율이 큰 마그네타이트,  $CrO_2$ ,  $RxMnO_3$  (여기서 R은 희토류, X는 Ca(칼슘), Ba(바륨), Sr(스트론튬) 중 어느 하나를 나타냄) 등의 산화물, 또는  $NiMnSb$ (니켈 망간 안티몬),  $PtMnSb$ (백금 망간 안티몬) 등의 호미슬러 합금 등을 이용할 수 있다.

이들 재료가 되는 자기 기록층으로서의 강자성층은, 막면에 대하여 대략 평행한 방향의 일축 이방성을 갖는 것이 바람직하다. 또한, 그 두께는 0.1nm 이상, 100nm 이하인 것이 바람직하다. 또한, 이 강자성층의 막 두께는 초상자성이 되지 않은 정도의 두께가 필요하고, 0.4nm 이상인 것이 보다 바람직하다.

또한, 자기 기록층으로서, 연자성층/강자성층의 2층 구조, 또는 강자성층/연자성층/강자성층의 3층 구조를 이용해도 된다. 자기 기록층으로서, 강자성층/비자성층/강자성층의 3층 구조, 또는 강자성층/비자성층/강자성층/비자성층/강자성층의 5층 구조를 이용하여, 강자성층의 출간의 상호 작용의 강도를 제어함으로써, 메모리 셀인 자기 기록층의 셀 폭이 서브 마이크로 이하로 되어도, 전류 자체의 소비 전력을 증대시키지 않게 된다는 것보다 바람직한 효과가 얻어진다. 5층 구조인 경우, 중간 강자성층은 연자성층, 또는 비자성 원소로 분단된 강자성층을 이용하면 보다 바람직하다.

자화 기록층에서도, 이들 자성체 Ag(은), Cu(구리), Au(금), Al(알루미늄), Mg(마그네슘), Si(실리콘), Bi(비스무스), Ta(탄탈), B(붕소), C(탄소), O(산소), N(질소), Pd(팔라듐), Pt(백금), Zr(지르코늄), Ir(이리듐), W(텅스텐), Mo(몰리브덴), Nb(니오븀), H(수소) 등의 비자성 원소를 첨가하여, 자기 특성을 조절하거나, 기타 결정성, 기계적 특성, 화학적 특성 등의 각종 물성을 조절할 수 있다.

한편, 자기 저항 효과 소자로서 TMR 소자를 이용하는 경우에, 자화 고착층과 자화 기록층 사이에 형성되는 터널 배리어층 TB의 재료로는,  $Al_2O_3$ (산화 알루미늄),  $SiO_2$ (산화 실리콘),  $MgO$ (산화마그네슘),  $AlN$ (질화 알루미늄),  $Bi_2O_3$ (산화비스무스),  $MgF_2$ (불화마그네슘),  $CaF_2$ (불화칼슘),  $SrTiO_3$ (산화 티탄 스트론튬),

AlGaO<sub>3</sub>(산화 갈륨 알루미늄(Le 대신에 다른 희토류 원소라도 됨)), Al-N-O(산화 질화 알루미늄), 비자성 반도체(ZnO, InN, GaN, GaAs, TiO<sub>2</sub>, Zn, Te, 또는 이들에 전이 금속이 도핑된 것) 등을 이용할 수 있다.

이들의 화합물은 화학양론적으로 와서 완전하게 정확한 조성일 필요는 없고, 산소, 질소, 불소 등의 결속, 또는 과부족이 존재하고 있어도 된다. 또한, 이 절연층(유전체층)의 두께는 터널 전류가 흐를 정도로 얇은 것이 바람직하고, 실제상은 10nm 이하인 것이 바람직하다.

이러한 자기 저항 효과 소자는 각종 스핀터벌, 증착법, 분자선 에피택셜법, CVD법 등의 통상의 박막 형성 수단을 이용하여, 소정의 기판 상에 형성할 수 있다. 이 경우의 기판으로서, 예를 들면 Si(실리콘), SiO<sub>2</sub>(산화 실리콘), Al<sub>2</sub>O<sub>3</sub>(산화 알루미늄), 스피넬, AlN(질화 알루미늄), GaAs, GaN 등 각종 기판을 이용할 수 있다.

또한, 기판 위에, 기판층이나 보호층 등으로 하여, Ta(탄탈), Ti(티탄), Pt(백금), Pd(팔라듐), Au(금), Ti(티탄)/Pt(백금), Ta(탄탈)/Pt(백금), Ti(티탄)/Pd(팔라듐), Ta(탄탈)/Pd(팔라듐), Cu(구리), Al(알루미늄)-Cu(구리), Ru(루테튬), Ir(이리듐), Os(오스뮴), GaAs, GaN, ZnO, TiO<sub>2</sub> 등의 반도체 기반 등으로 이루어지는 층을 형성해도 된다.

이상, 본 발명의 자기 메모리에 있어서 이용하는 자기 저항 효과 소자의 적층 구조에 대하여 설명하였다.

다음으로, 본 발명의 자기 메모리의 셀 구조에 대하여 구체예를 들어 설명한다.

도 15 내지 도 17은 스위칭 트랜지스터를 이용한 경우의 셀의 아키텍처를 도시하는 모식 단면도이다. 즉, 도 15의 (a)는 비트선 BL에 대하여 수직인 방향으로 바라본 도면, 도 15의 (b)는 워드선 WL에 대하여 수직인 방향으로 바라본 도면이다.

스위칭 트랜지스터로서 MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)를 이용한 경우, 판독은 하부 선택 트랜지스터 T를 온으로 하고, 자기 저항 효과 소자 C를 개재하여 비트선 BL에 감지 전류를 흘림으로써 행한다.

한편, 기입은, 직교하는 비트선 BL과 워드선 WL을 이용하여 행한다. 그리고, 이들 비트선 BL 및 워드선 WL에는, 도 1 내지 도 8에 관하여 상술한 바와 같은 일축 이방성이 부여된 피복층 SM이 형성되어 있다.

또한, 도 16에 도시한 구체예의 경우, 피복층 SM에 돌출부 P가 형성되고, 비트선 BL, 워드선 WL 모두 피복층 SM을 자기 저항 효과 소자 C에 가까이 할 수 있기 때문에, 더욱 저소비 전력, 저전류로 기입을 행할 수 있다.

또한, 도 17에 도시한 구체예의 경우, 피복층 SM의 돌출부 P가 분할하여 형성되어 있다. 즉, 돌출부 P는, 비트선 BL에 형성된 피복층 SM으로부터 분리하여, 자기 저항 효과 소자 C에 접속되어 있는 판독용 비트선 RBL의 측면에 형성되어 있다. 돌출부 P를 형성하는 경우에는, 비트선 BL의 주위 방향의 피복층의 길이가 길어지기 쉽기 때문에, 형상 효과에 저항하는 경우가 있다. 이에 대하여, 본 구체예와 같이 돌출부 P를 분리하여 형성함으로써, 형상 효과에 의한 일축 이방성을 부여할 수 있다.

한편, 또 다른 초대용량화 메모리를 실현하기 위해서는, 메모리 어레이를 적층화할 수 있는 아키텍처를 이용하여, 다층화하는 것이 바람직하다. 그래서, 다음으로, 적층화가 용이한 아키텍처에 대하여 설명한다.

도 18은 본 발명에 있어서 이용할 수 있는 아키텍처의 제2 구체예를 도시하는 모식도이다. 즉, 도 18은 메모리 어레이의 단면 구조를 도시한다. 이 아키텍처의 경우, 판독/기입용 비트선 BL에, 다이오드 D를 개재하여 자기 저항 효과 소자 C가 병렬로 접속되어 있다. 그리고, 각각의 자기 저항 효과 소자 C의 타 단에는 판독/기입용 워드선 WL이 접속되어 있다.

판독 시에는, 목적의 자기 저항 효과 소자 C에 접속되어 있는 비트선 BL과 워드선 WL을 선택 트랜지스터 ST에 의해 선택하여 감지 증폭기 SA에 의해 전류를 검출한다. 또한, 기입 시에는 역시 목적의 자기 저항 효과 소자 C에 접속되어 있는 비트선 BL과 워드선 WL을 선택 트랜지스터 ST에 의해 선택하여, 기입 전류를 흘린다. 이 때에, 비트선 BL과 워드선 WL에 각각 발생하는 자계를 합성한 기입 자계가 자기 저항 효과 소자 C의 자기 기록층의 자화를 소정의 방향으로 항하게 함으로써, 기입할 수 있다.

다이오드 D는 이들 판독 시 또는 기입 시에, 매트릭스 형상으로 배선되어 있는 다른 자기 저항 효과 소자 C를 개재하여 흐르는 우회 전류를 차단하는 역할을 갖는다.

도 19 및 도 20은 도 18의 아키텍처에 있어서 채용할 수 있는 피복층 SM의 구체예를 도시하는 모식도이다.

이들 도면에서는 간단함을 위해서, 비트선 BL, 자기 저항 효과 소자 C, 다이오드 D, 워드선 WL만을 나타내고, 이들 이외의 요소는 생략하였다. 이들 구체예의 메모리 셀에서는, 기입은 직교하는 비트선 BL과 워드선 WL을 이용하여 행한다. 비트선 BL 및 워드선 WL에는 도 1 내지 도 8에 관하여 상술한 피복층 SM이 형성되고, 돌출부 P도 형성되어 있다.

그리고, 도 20의 구체예의 경우, 돌출부 P가 분리하여 다이오드 D의 측면에 형성되어, 형상 효과에 의한 일축 이방성이 보다 확실하게 생기도록 되어 있다. 이러한 돌출부 P의 형성 방법으로는 다이오드 D의 형성 후에, 그 상면 및 측면에 절연층을 퇴적하고, 그 위에 돌출부 P의 재료를 퇴적하고, 그리고 나서, 다이오드 D의 위에 퇴적된 절연층과 돌출부 P의 재료를 CMP 등의 방법에 의해 면마 제거하면 된다.

다음으로, 본 발명의 자기 메모리에 채용할 수 있는 아키텍처의 제3 구체예에 대하여 설명한다.

도 21은 메모리 어레이를 적층화할 수 있는 아키텍처의 제3 구체예를 도시하는 모식도이다. 즉, 도 21은 메모리 어레이의 단면 구조를 도시한다.

이 아키텍처에 있어서는, 판독/기입용 비트선 BL과 판독용 비트선 Br 사이에 복수의 자기 저항 효과 소자

C가 병렬로 접속된 「사다리형」의 구성으로 되어 있다. 또한, 각각의 자기 저항 효과 소자 C에 근접하여, 기입 워드선  $\overline{W}$ 이 비트선과 교차하는 방향으로 배선되어 있다.

자기 저항 효과 소자에의 기입은, 판독/기입용 비트선 BL에 기입 전류를 흘림으로써 발생하는 자계와, 기입 워드선  $\overline{W}$ 에 기입 전류를 흘림으로써 발생하는 자계와의 합성 자계를 자기 저항 효과 소자의 자기 기록층에 작용시킴으로써, 행할 수 있다.

한편, 판독 시에는 비트선 BL 및 Br 사이에서 전압을 인가한다. 그러면, 마찰 사이에서 병렬로 접속되어 있는 모든 자기 저항 효과 소자에 전류가 흐른다. 이 전류의 합계를 감지 증폭기 SA에 의해 검출하면서, 목적의 자기 저항 효과 소자에 근접한 워드선  $\overline{W}$ 에 기입 전류를 인가하여, 목적의 자기 저항 효과 소자의 자기 기록층의 자화를 소정의 방향으로 재기입한다. 이 때의 전류 변화를 검출함으로써, 목적의 자기 저항 효과 소자의 판독을 행할 수 있다.

즉, 재기입 전의 자기 기록층의 자화 방향이 재기입 후의 자화 방향과 동일하면, 감지 증폭기 SA에 의해 검출되는 전류는 변화하지 않는다. 그러나, 기입 전후에 자기 기록층의 자화 방향이 반전하는 경우에는, 감지 증폭기 SA에 의해 검출되는 전류가 자기 저항 효과에 의해 변화한다. 이와 같이 하여 재기입 전의 자기 기록층의 자화 방향, 즉 저장 데이터를 판독할 수 있다.

단, 이 방법은 판독 시에 저장 데이터를 변화시키는, 소위 「파괴 판독」에 대응한다.

이에 대하여, 자기 저항 효과 소자의 구성을 자화자음층/절연층(비자성층)/자기 기록층의 구조로 한 경우에는, 소위 「비 파괴 판독」이 가능하다. 즉, 이 구조의 자기 저항 효과 소자를 이용하는 경우에는, 자기 기록층에 자화 방향을 기록하고, 판독 시에는 자화 자음층의 자화 방향을 적절하게 변화시켜 감지 전류를 비교함으로써, 자기 기록층의 자화 방향을 판독할 수 있다. 단, 이 경우에는 자기 기록층의 자화 반전 자체보다 자화자음층의 자화 반전 자체 쪽이 작아지도록 설계할 필요가 있다.

도 22는 도 21의 아키텍처에 있어서 형성되는 피복층 SM을 예시하는 모식도이다. 여기서도, 간단함을 위해서, 비트선 BL, 자기 저항 효과 소자 C, 워드선  $\overline{W}$ 만을 나타내고, 이들 이외의 요소는 생략하였다.

도 22에 도시한 구체예에서도, 기입은 적교하는 비트선 BL과 워드선  $\overline{W}$ 을 이용하여 행한다. 그리고, 마찰에 피복층 SM을 형성함으로써, 기입 크로스토크의 우려가 없고, 저소비 전력, 저전류로 기입을 행할 수 있다.

다음으로, 본 발명의 자기 메모리에 채용할 수 있는 아키텍처의 제4 구체예에 대하여 설명한다.

도 23은 메모리 어레이를 적용할 수 있는 아키텍처의 제4 구체예를 도시하는 모식도이다. 즉, 도 23은 메모리 어레이의 단면 구조를 도시하고, 즉 도 23의 (a)는 비트선 BL에 대하여 수직인 방향으로부터 바라본 도면, 도 23의 (b)는 워드선  $\overline{W}$ 에 대하여 수직인 방향으로부터 바라본 도면이다.

이 아키텍처에 있어서는, 판독/기입용 비트선 BL에 복수의 자기 저항 효과 소자 C가 병렬로 접속되고, 이들 자기 저항 효과 소자의 타단에는, 각각 판독용 비트선 Br가 매트릭스 형상으로 접속되어 있다.

또한, 이들 판독용 비트선 Br에 근접하여, 기입용 워드선  $\overline{W}$ 이 배선되어 있다.

자기 저항 효과 소자에의 기입은, 판독/기입용 비트선 BL에 기입 전류를 흘림으로써 발생하는 자계와, 기입 워드선  $\overline{W}$ 에 기입 전류를 흘림으로써 발생하는 자계와의 합성 자계를 자기 저항 효과 소자의 자기 기록층에 작용시킴으로써, 행할 수 있다.

한편, 판독 시에는 선택 트랜지스터 ST에 의해 비트선 BL과 Br를 선택함으로써, 목적의 자기 저항 효과 소자에 감지 전류를 흘려 감지 증폭기 SA에 의해 검출할 수 있다.

도 24 및 도 25는, 도 23의 아키텍처에 있어서 형성할 수 있는 피복층 SM을 도시하는 모식도이다. 즉, 도 24, 도 25의 (a)는 비트선 BL에 대하여 평행한 방향으로부터 바라본 도면, 도 24, 도 25의 (b)는 워드선  $\overline{W}$ 에 대하여 평행한 방향으로부터 바라본 도면이다.

또, 도 24 및 도 25는, 도 23과는 상하 관계를 반전시킨 상태를 도시한다. 또한, 이들 도면에서도, 간단함을 위해서, 비트선 BL 및 Br, 자기 저항 효과 소자 C, 워드선  $\overline{W}$ 만을 나타내고, 이들 이외의 요소는 생략하였다.

도 24에 도시한 바와 같이 비트선 BL 및 워드선  $\overline{W}$ 에는 일축 이방성을 갖는 피복층 SM을 형성하고, 또한 워드선에서는 돌출부 P가 형성되어 있다.

이와 같이 하면, 크로스토크의 우려가 없고, 저소비 전력, 저전류로 기입을 행할 수 있다.

또한, 도 25에 도시한 구체예의 경우, 워드선  $\overline{W}$ 에서, 돌출부 P가 분리하여 형성되어 있다. 즉, 이 돌출부 P는 워드선  $\overline{W}$ 의 주위에 형성된 피복층 SM과는 분리하여, 판독용 비트선 Br의 측면에 형성되어 있다. 이와 같이 분리하면, 형상 효과에 의한 일축 이방성이 생기기 쉬워진다.

다음으로, 본 발명의 자기 메모리에 채용할 수 있는 아키텍처의 제5 구체예에 대하여 설명한다.

도 26은 본 발명에서 이용할 수 있는 아키텍처의 제5 구체예를 도시하는 모식도이다. 즉, 도 26은 메모리 어레이의 단면 구조를 도시한다.

이 구체예의 경우, 판독용 비트선 Br이 리드 L을 개재하여 자기 저항 효과 소자 C에 접속되고, 자기 저항 효과 소자의 바로 아래에는 기입용 워드선  $\overline{W}$ 이 배선되어 있다.

도 27은 도 26의 아키텍처에 있어서의 피복층의 구체예를 도시하는 모식도이다. 도 27에서도, 간단함을 위해서, 비트선 BL, 자기 저항 효과 소자 C, 워드선  $\overline{W}$ 만을 나타내고, 이들 이외의 요소는 생략하였다. 이와 같이 비트선 BL 및 워드선  $\overline{W}$ 에, 일축 이방성을 갖는 피복층 SM을 형성함으로써, 기입 크로스토크의 우려가 없어, 기입 및 판독 동작이 안정되고, 저소비 전력, 저전류로 기입을 행할 수 있다.

도 28 및 도 29는 본 발명에서 이용할 수 있는 피복층의 다른 변형예를 도시하는 모식도이다.

즉, 이들 도면에 예시한 바와 같이, 자기 저항 효과 소자 C를 절연체 N에 의해 매립하고, 그 양측을 덮도록 피복층 S를 연장시켜 형성할 수도 있다.

도 30 내지 도 37은 도 18 내지 도 27에 도시한 마키택처를 적용시킨 구조를 도시하는 모식 단면도이다. 이들 도면에 대해서는, 도 1 내지 도 29에 관하여 상술한 것과 마찬가지로의 요소에는 동일한 부호를 붙여 상세한 설명은 생략한다.

우선, 도 30 및 도 31은 도 18 내지 도 20에 관하여 상술한 마키택처를 적용시킨 구조를 도시한다.

도 30의 구체예의 경우, 기입 워드선 W를 그 상하의 자기 저항 효과 소자 C<sub>1</sub>, C<sub>2</sub>에 대하여 공통으로 이용하기 때문에, 피복층 S는 측면에만 형성한다. 이 경우에도, 피복층 S에 배선 길이 방향의 일축 이방성을 부여함으로써, 안정된 기록, 재생이 가능해진다.

한편, 도 31에 도시한 구체예의 경우, 워드선 W 중에 피복층 SMI가 삽입되어 있다. 이 피복층 SMI는 상하의 비트선 BL로부터 발생하는 기입 자계를 차단하여, 상하 간의 기입 크로스토크를 억제하는 역할을 갖는다. 또한, 이 피복층 SMI를 절연체로 형성한 경우에는, 그 상하의 워드선 W를 각각 독립적으로 이용할 수도 있다.

다음으로, 도 32 및 도 33은 도 21 및 도 22에 관하여 상술한 마키택처를 적용시킨 구조를 도시한다.

도 32의 구체예의 경우, 기입 워드선 W를 그 상하의 자기 저항 효과 소자 C<sub>1</sub>, C<sub>2</sub>에 대하여 공통으로 이용하기 때문에, 피복층 S는 측면에만 형성한다. 이 경우에도, 피복층 S에 배선 길이 방향의 일축 이방성을 부여함으로써, 안정된 기록, 재생이 가능하게 된다.

한편, 도 33에 도시한 구체예의 경우, 워드선 W 중에 피복층 SMI가 삽입되어 있다. 이 피복층 SMI는 상하의 비트선 BL로부터 발생하는 기입 자계를 차단하여, 상하 간의 기입 크로스토크를 억제하는 역할을 갖는다. 또한, 이 피복층 SMI를 절연체로 형성한 경우에는, 그 상하의 워드선 W를 각각 독립적으로 이용할 수도 있다.

다음으로, 도 34 및 도 35는 도 23 및 도 24에 관하여 상술한 마키택처를 적용시킨 구조를 도시한다.

도 34의 구체예의 경우, 기입 워드선 W를 그 상하의 자기 저항 효과 소자 C<sub>1</sub>, C<sub>2</sub>에 대하여 공통으로 이용하기 때문에, 피복층 S는 측면에만 형성한다. 이 경우에도, 피복층 S에 배선 길이 방향의 일축 이방성을 부여함으로써, 안정된 기록, 재생이 가능하게 된다.

한편, 도 35에 도시한 구체예의 경우, 워드선 W 중에 피복층 SMI가 삽입되어 있다. 이 피복층 SMI는 상하의 비트선 BL로부터 발생하는 기입 자계를 차단하여, 상하 간의 기입 크로스토크를 억제하는 역할을 갖는다. 또한, 이 피복층 SMI를 절연체로 형성한 경우에는, 그 상하의 워드선 W를 각각 독립적으로 이용할 수도 있다.

다음으로, 도 36 및 도 37은 도 26 및 도 27에 관하여 상술한 마키택처를 적용시킨 구조를 도시한다.

도 36의 구체예의 경우, 기입 워드선 W를 그 상하의 자기 저항 효과 소자 C<sub>1</sub>, C<sub>2</sub>에 대하여 공통으로 이용하기 때문에, 피복층 S는 측면에만 형성한다. 이 경우에도, 피복층 S에 배선 길이 방향의 일축 이방성을 부여함으로써, 안정된 기록, 재생이 가능하게 된다.

한편, 도 37에 도시한 구체예의 경우, 워드선 W 중에 피복층 SMI가 삽입되어 있다. 이 피복층 SMI는 상하의 비트선 BL로부터 발생하는 기입 자계를 차단하여, 상하 간의 기입 크로스토크를 억제하는 역할을 갖는다. 또한, 이 피복층 SMI를 절연체로 형성한 경우에는, 그 상하의 워드선 W를 각각 독립적으로 이용할 수도 있다.

이상, 도 30 내지 도 37에 예시한 바와 같이 적용형의 구조로 하면, 또 다른 대응량화가 가능해진다. 이와 같이 적용화한 경우에도, 본 발명은 도 1 내지 도 8에 관하여 상술한 바와 같이 현저한 작용 효과를 발휘한다.

이하, 실시예를 참조하면서 본 발명의 실시 형태에 대하여 보다 상세히 설명한다.

#### 〈제1 실시예〉

우선, 본 발명의 제1 실시예로서, 도 23 및 도 24에 도시한 단순 매트릭스 구조의 메모리 어레이를 기본으로 하여, 10×10개의 TMR 셀을 갖는 자기 메모리를 형성하였다.

이 자기 메모리의 구조에 대하여, 그 제조 순서에 따라 설명하면, 다음과 같다.

도시하지 않는 기판 위에, 우선 하층의 비트선 BL로서, 도금법에 의해 니켈 철(NiFe)로 이루어지는 피복층 SMI를 갖는 배선을 형성하였다. 여기서, 배선의 본체는 구리(Cu)로 이루어지는 두께 1μm의 도전층으로 하였다. 그리고 나서, 절연층을 CVD법으로 제작한 후, CMP(Chemical Mechanical Polishing)를 행하고, 평탄화를 행하였다. 그 후, 강자성 2중 터널 접합을 갖는 TMR의 적층 구조막을 스퍼터법에 의해 성막하였다.

그 각층의 재질 및 층 두께는, 하층부터 순서대로, Ta(30nm)/Ru(3nm)/Ir-Mn(8nm)/CoFe(3nm)/Ru(1nm)/CoFe(3nm)/AlOx(1nm)/CoFeNi(2nm)/Cu(1.5nm)/CoFeNi(2nm)/AlOx(1nm)/CoFe(3nm)/Ru(1nm)/CoFe(3nm)/Ir-Mn(8nm)/Ta(9nm)/Ru(30nm)로 하였다.

다음으로, 최상층의 Ru층을 하드 마스크로 이용하여, 염소계의 에칭 가스를 이용한 RIE(Reactive Ion Etching)에 의해 하층의 Ru/Ta 배선층까지 적층 구조막을 에칭함으로써, TMR 소자의 고립 패턴을 제작하였다.

그 후, 절연체로서 SiOx를 저온 테오스(TEOS)법에 의해 퇴적하고 CMP에 의해 평탄화한 후, 판독 비트선

Br를 성막, 패터닝에 의해 형성하였다.

그 후, 마찬가지로 방법으로 중간 절연막을 형성하고, 평탄화를 행한 후, 워드선 꺾을 성막하고, 패터닝을 행한 후, 도금법에 의해 피복층 SM을 형성하였다. 이 때, 피복층 SM의 두께는  $0.01\mu\text{m} \sim 0.06\mu\text{m}$ 로 하고, TMR 소자의 단축의 길이를  $0.25\mu\text{m}$ 로 하고, 길이 축의 길이  $0.3\mu\text{m} \sim 0.8\mu\text{m}$ 의 범위에서 변화시킨 시료에 대하여,  $L_1$ (도 2에 도시되어 있음)의 길이는 TMR의 길이+ $0.15\mu\text{m}$ 로 하였다.

여기서, 피복층 SM 중에 배선 꺾보다 아래로 돌출된 플러그 P를 형성하기 위해서는 배선 꺾을 형성한 후에, 그 양측의 절연층을 파서 트렌치를 형성하고, 그 내벽에 메탈의 시드층을 스퍼터링하고, 그 위에 피복층 SM의 재료를 도금하여 트렌치도 매립함으로써, 형성할 수 있다.

또한, 상부 워드선 꺾과 하부 워드선 꺾의 피복층 SM의 길이(도 2의  $L_1$ )를 TMR의 길이 축의 길이로부터  $2.0\mu\text{m}$ 까지의 범위 내에서 변화시킨 시료를 제작하였다.  $L_1$ 이  $2.0\mu\text{m}$ 일 때에, 인접하는 피복층 SM끼리는 완전히 연결되어 일체화한다. 이 때, 워드선 꺾의 피복층 SM의 막면 수직 방향의 길이(도 2의  $L_2$ )는  $0.2\mu\text{m}$ 로 하였다.

그 후, 자장을 인가 가능한 열 처리하로에 도입하고, TMR 소자의 자기 기록층에 일축 이방성을 도입하고, 또한 자기 고착층에 일방향 이방성을 도입하였다. 또, 피복층 SM의 재료로는 결정 자기 이방성 상수  $K_1$ (1차의 항)이  $5 \times 10^6 \text{ erg/cc}$  이하인 재료(예를 들면, 니켈 철, 코발트 철, 니켈, 코발트 니켈 등)를 이용하기 위해서, TMR 소자에 자장 중 어닐링을 행하는 조건(예를 들면, 7000가우스,  $300^\circ\text{C}$ , 1시간)으로 일축 이방성을 부여할 수 있다.

이와 같이 하여 제작한 본 발명의 자기 메모리에 있어서, 가입을 10회 행한 후의 TMR 신호 출력을 측정하고, 제1 플러그 패턴으로 TMR 소자의 '1' 레벨과 '0' 레벨을 반전하여, 동작 불량의 유무를 조사하였다. 그 때, 가입 전류 펄스 전류값과 펄스 폭을 최적화하여, 크로스토크가 가장 작아지는 조건으로 행하였다.

이 결과를 도 38 내지 도 41에 일람표로 나타낸다. 이들 결과로부터, 피복층 SM의 재료로서, 결정 자기 이방성 상수  $K_1$ (1차의 항)이  $5 \times 10^6 \text{ erg/cc}$  이하인 재료를 이용한 경우에는, 형상 효과에 의한 일축 이방성이 생기고 있기 때문에 동작 불량이 관측되지 않고, 양호한 특성이 얻어지고 있는 것을 알 수 있다. 또 여기서,  $L_2$ 는  $0.2\mu\text{m}$ 이다.

즉, 본 실시예로부터 자성 피복층의 두께가  $0.06\mu\text{m}$ 보다 얇은 경우, 또한 특히,  $L_1 > 1\mu\text{m} \geq (2L_2 + L_3)$ 인 경우에 동작 불량이 없는 것을 알 수 있다.

또한, 상기 실시예의 배선에, Cu(두께  $0.5\text{nm}$ )를 개재하여 FeMn(두께  $8\text{nm}$ )와 IrMn(두께  $4\text{nm}$ )를 각각의 배선에 부여한 실시예의 결과를, 도 42 내지 도 44에 일람표로 나타낸다. 반강자성막이 부여된 경우, 도 38~도 41과 비교하면 분명한 바와 같이 동작 불량이 현저히 감소하여, 보다 바람직한 효과가 얻어지는 것을 알 수 있었다.

또한, 본 발명자는 비교예로서, 피복층 SM의 재료로서, 결정 자기 이방성 상수  $K_1$ (1차의 항)이  $1 \times 10^6 \text{ erg/cc}$ 인 코발트 철 합금( $\text{Co}_{90}\text{Fe}_{10}$ )을 이용한 자기 메모리를 시작하여, 그 동작을 조사하였다.

도 45 및 도 46은 이 비교예의 결과를 나타내는 일람표이다. 도 40, 도 41에서 동작 불량을 볼 수 없었던 구조에서도, 도 45, 도 46에서는 동작 불량이 발생하고 있다. 이와 같이 결정 자기 이방성 상수  $K_1$ (1차의 항)이  $1 \times 10^6 \text{ erg/cc}$ 인 재료를 이용한 경우에는 피복층 SM에서 형상 효과에 의한 일축 이방성이 불안해져, 동작이 불량하게 되는 것을 알 수 있다.

## 〈제2 실시예〉

다음으로, 본 발명의 제2 실시예로서, 도 26 및 도 27에 도시한 매트릭스 구조의 메모리 어레이를 기본으로 하여,  $10 \times 10$ 개의 TMR 셀을 갖는 자기 메모리를 형성하였다.

이 자기 메모리의 구조에 대하여, 그 제조 순서에 따라 설명하면, 다음과 같다.

도시하지 않는 기판 상에, 우선 하층의 비트선 BL로서, 도금법에 의해 니켈철(NiFe)로 이루어지는 피복층 SM을 갖고, 구리(Cu)로 이루어지는 두께  $1\mu\text{m}$ 의 배선층을 제작하였다. 그리고 나서, 절연층을 CVD법으로 제작한 후, 비아를 형성하여  $\Psi$  전극을 매립한 후, CMP를 행하고, 평탄화를 행하였다. 그 후, 컨택트 배선 Mx와 감자성 2층 터널 접합을 갖는 TMR의 적층 구조막을 스퍼터법에 의해 성막하였다.

그 각층의 재질 및 층 두께는, 하층부터 순서대로, Ta( $30\text{nm}$ )/Ru( $3\text{nm}$ )/Pt-Mn( $12\text{nm}$ )/CoFe( $3\text{nm}$ )/Ru( $1\text{nm}$ )/CoFe( $3\text{nm}$ )/AlOx( $1\text{nm}$ )/CoFeN( $2\text{nm}$ )/Ru( $1.5\text{nm}$ )/CoFeN( $2\text{nm}$ )/AlOx( $1\text{nm}$ )/CoFe( $3\text{nm}$ )/Ru( $1\text{nm}$ )/CoFe( $3\text{nm}$ )/Pt-Mn( $12\text{nm}$ )/Ta( $9\text{nm}$ )/Ru( $30\text{nm}$ )로 하였다.

다음으로, 최상층의 Ru층을 하드 마스크로 이용하여, 염소계의 에칭 가스를 이용한 RIE에 의해 하층의 Ru/Ta 배선층까지 적층 구조막에 에칭함으로써, TMR 소자의 고립 패턴을 제작하였다.

그 후, 절연체로서 SiOx를 저온 테오스법에 의해 퇴적하여 CMP에 의해 평탄화한 후, 판독 비트선 BL을 성막, 패터닝에 의해 형성하였다.

그 후, 마찬가지로 방법으로 중간 절연막을 형성하고, 평탄화를 행한 후, 워드선 꺾을 성막하고, 패터닝을 행한 후, 도금법으로 피복층 SM을 제작하였다.

그 때, 자성 피복 배선의 두께는  $0.01\mu\text{m} \sim 0.06\mu\text{m}$ 의 범위에서 변화시키고, TMR의 단축의 길이를  $0.25\mu\text{m}$ 로 하고, 길이 축의 길이  $0.3\mu\text{m} \sim 0.8\mu\text{m}$ 의 범위에서 변화시킨 시료에 대하여,  $L_1$ 의 길이는 TMR의 길이 플러스

0.15 $\mu$ m로 하였다. 또한, 상부 워드선 궤와 하부 워드선 궤의 피복층 SM의 길이( $L_1$ )를 길이 속의 길이로부터 2.0 $\mu$ m까지의 범위에서 변화시킨 시료를 제작하였다.  $L_1$ 이 2.0 $\mu$ m인 경우에 피복층 SM은 완전하게 이어진다. 이 때, 워드선 궤에 피복한 피복층 SM의 막면 수직 방향의 길이( $L_2$ )는 0.2 $\mu$ m로 하였다.

그 후, 자장을 인가 가능한 열 처리화로에 도입하고, TMR 소자의 자기 기록층에 일축 이방성을, 자기 고착층에 입방형 이방성을 각각 도입하였다.

이와 같이 하여 제작한 본 발명의 자기 메모리에 있어서, 기압을 10회 행한 후의 TMR 신호 출력을 측정하고, 제1 플래그 패턴으로 TMR 소자의 '1' 레벨과 '0' 레벨을 반전하여, 동작 불량의 영향을 조사하였다. 그 때, 기압 전류 펄스 전류값과 펄스 폭을 최적화하고, 크로스토크가 가장 작아지는 조건으로 행하였다.

이 결과 도 47 내지 도 50에 일람표로 나타낸다. 이들 결과로부터, 피복층 SM에서, 형상 효과에 의해 일축 이방성이 생기고 있는 경우에는 동작 불량이 관측되지 않고, 양호한 특성이 얻어지고 있는 것을 알 수 있었다.

즉, 본 실시예로부터, 자성 피복층의 두께가 0.06 $\mu$ m보다 얇은 경우, 또한 특히  $L_1 > 1\mu m \geq (2L_2 + L_3)$ 인 경우에, 동작 불량이 있는 것을 알 수 있다. 또 여기서,  $L_2$ 는 0.2 $\mu$ m로 하였다.

또한, 본 발명자는 비교예로서, 피복층 SM의 재료로서, 결정 자기 이방성 상수  $K_1$ (1차의 항)이  $1 \times 10^6$  erg/cc의 코발트 철 합금( $Co_{90}Fe_{10}$ )을 이용한 자기 메모리를 시작하여, 그 동작을 조사하였다.

도 51 및 도 52는 이 비교예의 결과를 나타내는 일람표이다. 도 49, 도 50에서 동작 불량을 볼 수 없었던 구조에서도, 도 51, 도 52에서는 동작 불량이 발생하고 있다. 이와 같이 결정 자기 이방성 상수  $K_1$ (1차의 항)이  $1 \times 10^6$  erg/cc인 재료를 이용한 경우에는 피복층 SM에서 형상 효과에 의한 일축 이방성이 불안해져, 동작이 불량하게 되는 것을 알 수 있다.

또한, 상기 실시예의 배선에 대하여, Cu(두께 0.7 $\mu$ m)를 개재하여 FeMn(두께 6nm)와 IrMn(두께 5nm)를 각각의 배선에 부여한 실시예의 결과를 도 53 내지 도 55에 일람표로 나타낸다. 반강자성막이 부여된 경우, 동작 불량이 현저히 감소하여, 보다 높은 효과가 얻어지는 것을 확인할 수 있었다.

이상, 구체예를 참조하면서, 본 발명의 실시예에 대하여 설명하였다. 그러나, 본 발명은 이들의 구체예에 한정되는 것이 아니다. 예를 들면, 자기 메모리를 구성하는 강자성체층, 절연막, 반강자성체층, 비자성 금속층, 전극 등의 구체적인 재료나, 막 두께, 형상, 치수 등에 관해서는 당업자가 적절하게 선택함으로써 본 발명을 마친가지로 실시하고, 마친가지의 효과를 얻을 수 있는 것도 본 발명의 범위에 포함된다.

마찬가지로, 본 발명의 자기 메모리를 구성하는 각 요소의 구조, 재질, 형상, 치수에 대해서도, 당업자가 적절하게 선택함으로써 본 발명을 마친가지로 실시하고, 마친가지의 효과를 얻을 수 있는 것도 본 발명의 범위에 포함된다.

기타, 본 발명의 실시예로서 상술한 자기 메모리를 기초로 하여, 당업자가 적절하게 설계 변경하여 실시할 수 있는 모든 자기 메모리도 마친가지로 본 발명의 범위에 속한다.

#### 발명의 효과

이상 상술한 바와 같이 본 발명에 따르면, 초 저소비 전력·저전류·크로스토크가 없는 대용량 자기 메모리를 실현할 수 있어, 산업 상의 장점은 많다.

#### (57) 청구의 범위

##### 청구항 1

자기 기록층을 갖는 자기 저항 효과 소자와,

상기 자기 저항 효과 소자의 위 또는 아래에서 제1 방향으로 연장하는 제1 배선

을 구비하고, 상기 제1 배선에 전류를 흘림으로써 형성되는 자계에 의해 상기 자기 기록층에 정보를 기록하는 자기 메모리로서,

상기 제1 배선은 그 양측면 중 적어도 어느 하나의 측면에, 자성체로 이루어지는 피복층을 갖고,

상기 피복층은 상기 제1 배선의 길이 방향을 따라 자화가 용이해지는 일축 이방성을 갖는 것을 특징으로 하는 자기 메모리.

##### 청구항 2

제1항에 있어서,

상기 피복층은 상기 제1 배선의 주위를 따른 그 길이의 합계가 1 $\mu$ m 이하인 것을 특징으로 하는 자기 메모리.

##### 청구항 3

제1항에 있어서,

상기 피복층의 두께는 0.05 $\mu$ m 이하인 것을 특징으로 하는 자기 메모리.

#### 청구항 4

제1항에 있어서,

상기 피복층은 상기 배선의 상기 길이 방향을 따라 상호 대략 평행한 방향으로 연장하는 복수의 부분으로 분할되어 형성된 것을 특징으로 하는 자기 메모리.

#### 청구항 5

제1항에 있어서,

상기 피복층에 반강자성체로 이루어지는 층이 적층되어 이루어지는 것을 특징으로 하는 자기 메모리,

#### 청구항 6

제1항에 있어서,

상기 피복층은 상기 자기 저항 효과 소자를 향하여 상기 배선으로부터 돌출된 돌출부를 갖는 것을 특징으로 하는 자기 메모리.

#### 청구항 7

제1항에 있어서,

상기 피복층은 상기 배선에 근접하여 형성된 부분과는 분리하여 상기 자기 저항 효과 소자에 근접하여 형성된 부분을 갖는 것을 특징으로 하는 자기 메모리.

#### 청구항 8

제1항에 있어서,

상기 피복층은 니켈 철(Ni-Fe) 합금, 코발트 니켈(Co-Ni) 합금, 코발트 철니켈(Co-Fe-Ni) 합금, 코발트(Co)와 지르코늄(Zr), 하프늄(Hf), 니오븀(Nb), 탄탈(Ta), 티탄(Ti) 중 적어도 어느 하나와의 합금, (Co, Fe, Ni)-(Si, B)-(P, Al, Mo, Nb, Mn)계 비정질 합금, (Fe, Co)-(B, Si, Hf, Zr, Sm, Ta, Al)-(F, O, N)계의 금속-비금속 나노그레인러막, 및 절연성 페라이트로 이루어지는 군으로부터 선택된 어느 하나로 구성되는 것을 특징으로 하는 자기 메모리.

#### 청구항 9

제1항에 있어서,

상기 제1 배선으로부터 와서 상기 피복층의 외측에 인접하여 형성된 도전성 비자성 재료로 이루어지는 도전층을 더 구비한 것을 특징으로 하는 자기 메모리.

#### 청구항 10

제9항에 있어서,

상기 도전성 비자성 재료는 구리를 주성분으로 하는 것을 특징으로 하는 자기 메모리.

#### 청구항 11

제1항에 있어서,

상기 피복층은 결정 자기 이방성 상수  $K101 \leq 5 \times 10^4 \text{ erg/cc}$  이하의 자성체로 이루어지는 것을 특징으로 하는 자기 메모리.

#### 청구항 12

제1 방향으로 연장하는 제1 배선과,

상기 제1 배선의 위에 형성된 자기 저항 효과 소자와,

상기 자기 저항 효과 소자의 위에서, 상기 제1 방향과 교차하는 방향으로 연장하는 제2 배선

을 구비하고, 상기 제1 및 제2 배선에 각각 전류를 흘림으로써 형성되는 자계에 의해 상기 자기 저항 효과 소자의 기록층에 2차 정보 중 어느 하나를 기록하는 자기 메모리로서,

상기 제1 및 제2 배선 중 적어도 어느 하나는, 그 양측면 중 적어도 어느 하나의 측면에 자성체로 이루어지는 피복층을 갖고,

상기 피복층은 그 피복층이 형성된 배선의 길이 방향을 따라 자화가 용이해지는 일축 이방성을 갖는 것을 특징으로 하는 자기 메모리.

#### 청구항 13

제12항에 있어서,

상기 피복층은 해당 피복층이 형성된 배선의 주위를 따른 그 길이의 합계가  $1 \mu\text{m}$  이하인 것을 특징으로 하는 자기 메모리.

#### 청구항 14



제 12항에 있어서,

상기 피복층의 두께는 0.05 $\mu$ m 이하인 것을 특징으로 하는 자기 메모리.

#### 청구항 15

제 12항에 있어서,

상기 피복층은 상기 배선의 상기 길이 방향을 따라 상호 대략 평행한 방향으로 연장하는 복수의 부분으로 분할되어 형성된 것을 특징으로 하는 자기 메모리.

#### 청구항 16

제 12항에 있어서,

상기 피복층에 반강자성체로 이루어지는 층이 적층되어 이루어지는 것을 특징으로 하는 자기 메모리.

#### 청구항 17

제 12항에 있어서,

상기 제 1 및 제 2 배선의 각각이 상기 피복층을 갖고,

상기 제 1 배선이 갖는 상기 피복층에는, 제 1 블로킹 온도를 갖는 반강자성체로 이루어지는 층이 적층되고,

상기 제 2 배선이 갖는 상기 피복층에는, 상기 제 1 블로킹 온도와는 다른 제 2 블로킹 온도를 갖는 반강자성체로 이루어지는 층이 적층되어 이루어지는 것을 특징으로 하는 자기 메모리.

#### 청구항 18

제 12항에 있어서,

상기 피복층은 상기 자기 저항 효과 소자를 향하여 상기 해당 피복층이 형성된 배선으로부터 돌출된 돌출부를 갖는 것을 특징으로 하는 자기 메모리.

#### 청구항 19

제 12항에 있어서,

상기 피복층은 해당 피복층에 근접하여 형성된 부분과는 분리하여 상기 자기 저항 효과 소자에 근접하여 형성된 부분을 갖는 것을 특징으로 하는 자기 메모리.

#### 청구항 20

제 12항에 있어서,

상기 피복층은 니켈-철(Ni-Fe) 합금, 코발트-니켈(Co-Ni) 합금, 코발트-철-니켈(Co-Fe-Ni) 합금, 코발트(Co)와 지르코늄(Zr), 하프늄(Hf), 니오븀(Nb), 탄탈(Ta), 티탄(Ti) 중 적어도 어느 하나와의 합금, (Co, Fe, Ni)-(Si, B)-(P, Al, Mo, Nb, Wn)계 비정질 합금, (Fe, Co)-(B, Si, Hf, Zr, Sm, Ta, Al)-(F, O, N)계의 금속-비금속 나노그래놀라막, 및 절연성 페라이트로 이루어지는 군으로부터 선택된 어느 하나로 구성되는 것을 특징으로 하는 자기 메모리.

#### 청구항 21

제 12항에 있어서,

상기 피복층은 결정 자기 이방성 상수 K1이  $5 \times 10^6$  erg/cc 이하의 자성체로 이루어지는 것을 특징으로 하는 자기 메모리.

#### 청구항 22

제 12항에 있어서,

상기 피복층이 형성된 배선으로부터 와서 상기 피복층의 외측에 인접하여 형성된 도전성 비자성 재료로 이루어지는 도전층을 더 구비한 것을 특징으로 하는 자기 메모리.

#### 청구항 23

제 22항에 있어서,

상기 도전성 비자성 재료는 구리를 주성분으로 하는 것을 특징으로 하는 자기 메모리.

#### 청구항 24

제 1 방향으로 연장하는 제 1 배선과,

상기 제 1 배선의 위에 형성된 자기 저항 효과 소자와,

상기 자기 저항 효과 소자의 위에서, 상기 제 1 방향과 교차하는 방향으로 연장하는 제 2 배선

를 구비하고, 상기 제 1 및 제 2 배선에 각각 전류를 흘림으로써 형성되는 자계에 의해 상기 자기 저항 효과 소자의 기록층에 2차 정보 중 어느 하나를 기록하는 자기 메모리로서,



상기 제1 및 제2 배선 중 적어도 어느 하나는, 적어도 그 양측면에 자성체로 이루어지는 피복층을 갖고,  
상기 피복층이 형성된 배선으로부터 빠져 상기 피복층의 외측에 인접하여 형성된 도전성 비자성 재료로 이루어지는 도전층을 더 구비한 것을 특징으로 하는 자기 메모리.

**형구항 25**

제24항에 있어서,

상기 도전성 비자성 재료는 구리를 주성분으로 하는 것을 특징으로 하는 자기 메모리.

**형구항 26**

제24항에 있어서,

상기 피복층은 결정 자기 이방성 상수  $K(10^4 \text{ erg/cc})$  이하인 자성체로 이루어지는 것을 특징으로 하는 자기 메모리.

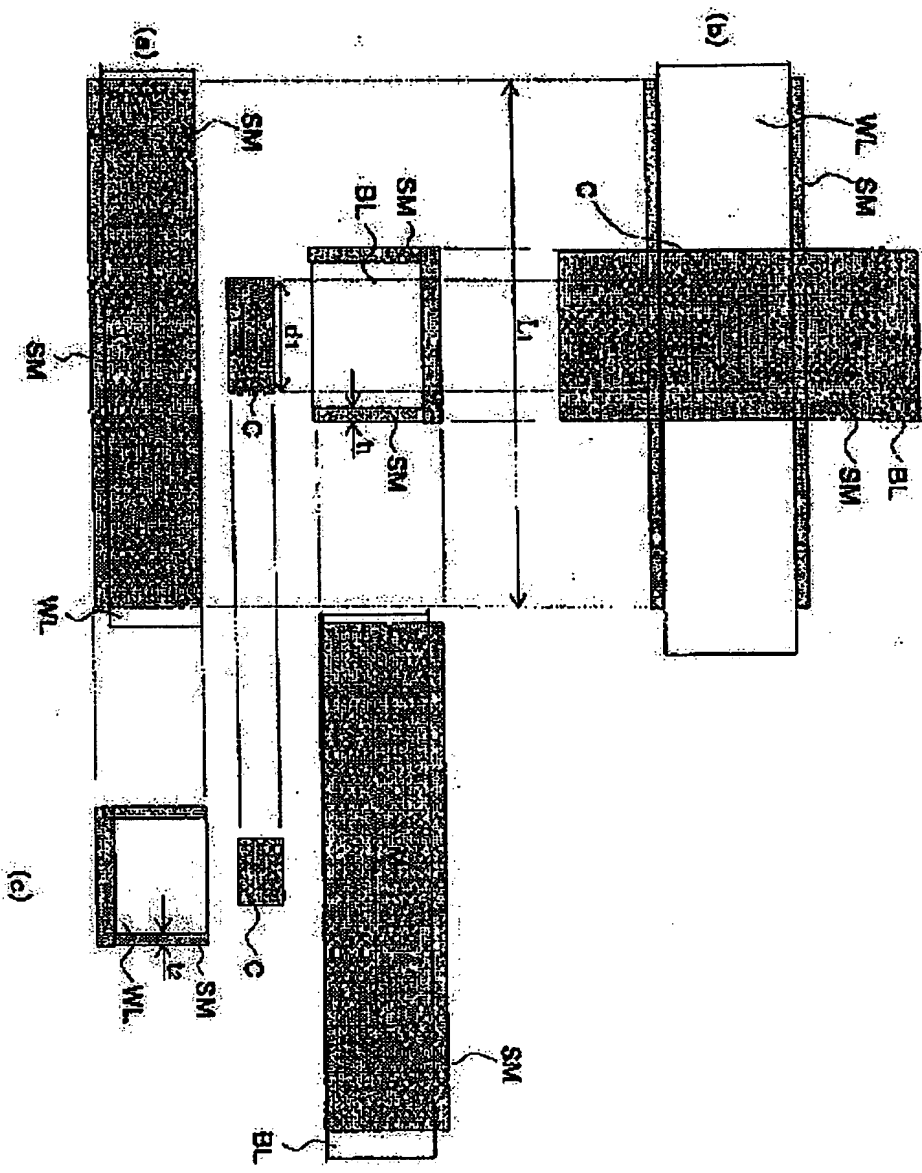
**형구항 27**

제24항에 있어서,

상기 피복층에 반강자성체로 이루어지는 층이 적층되어 이루어지는 것을 특징으로 하는 자기 메모리.

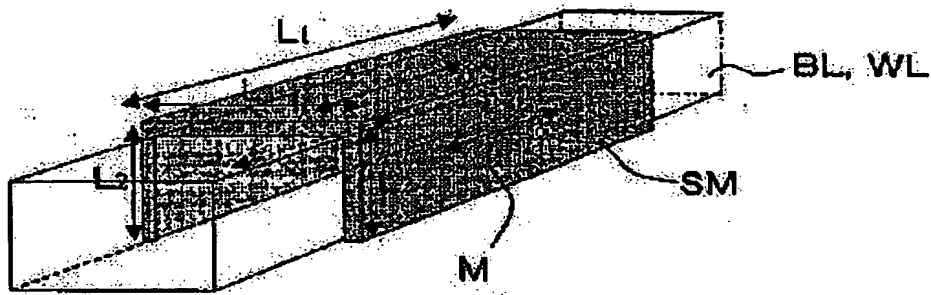
**도면**

501

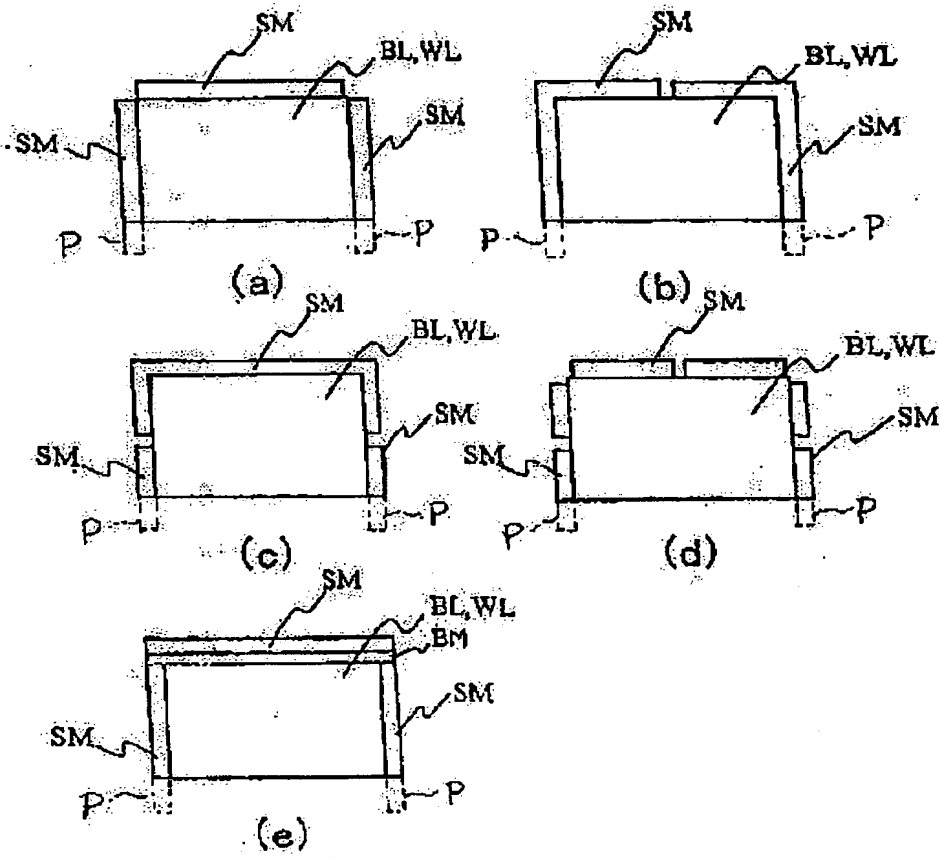


ED2

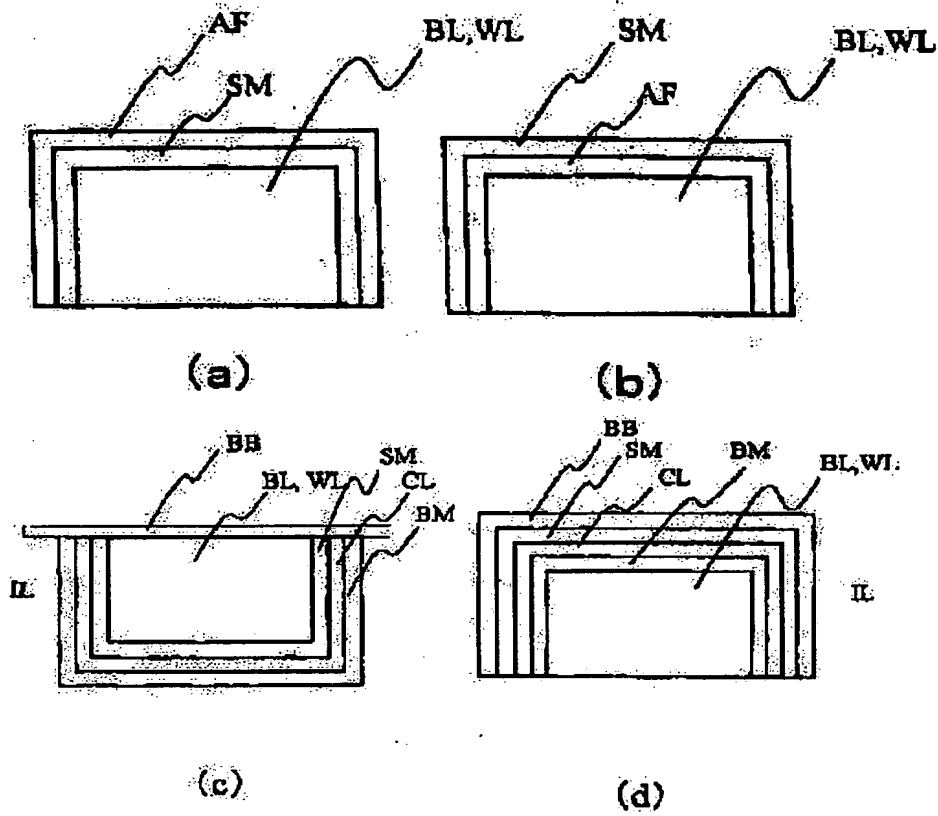
$$L_1 > 2 \times L_2 + L_3$$



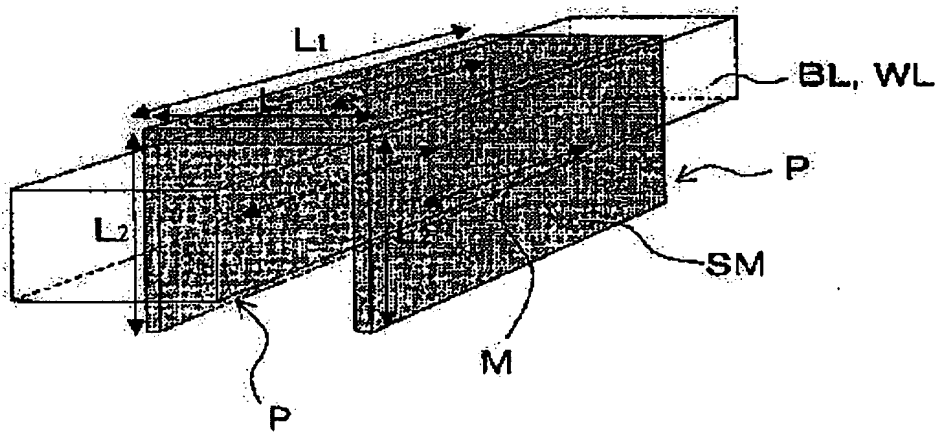
ED3



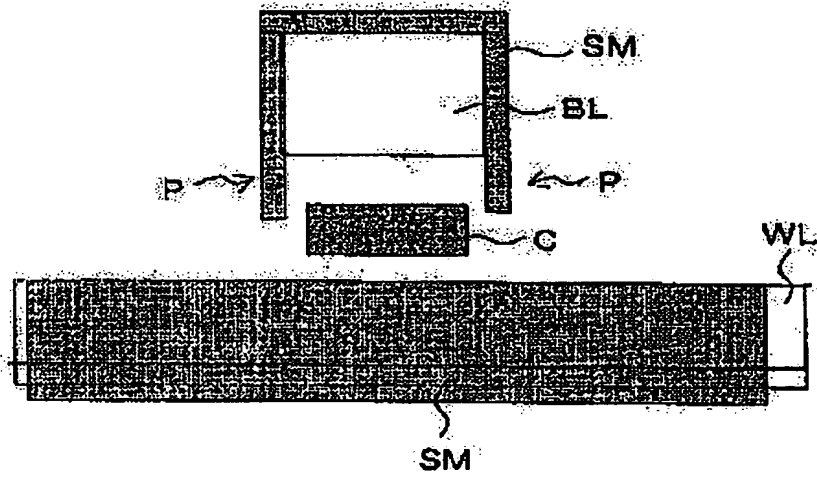
도 4



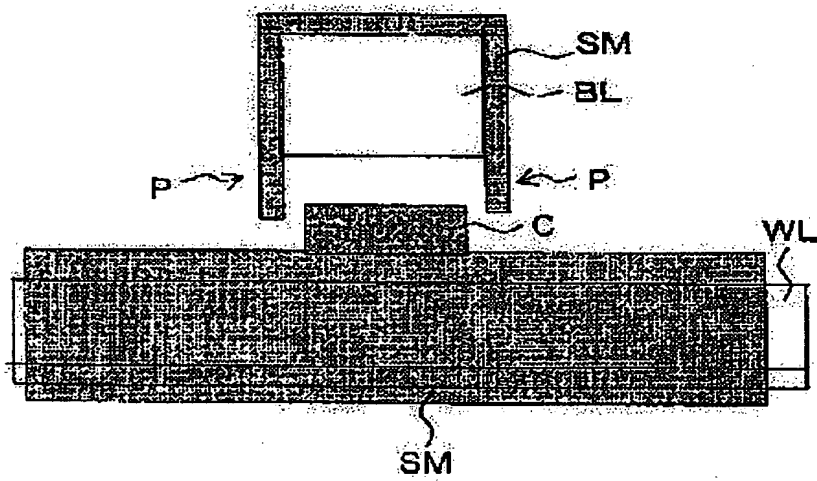
도 5



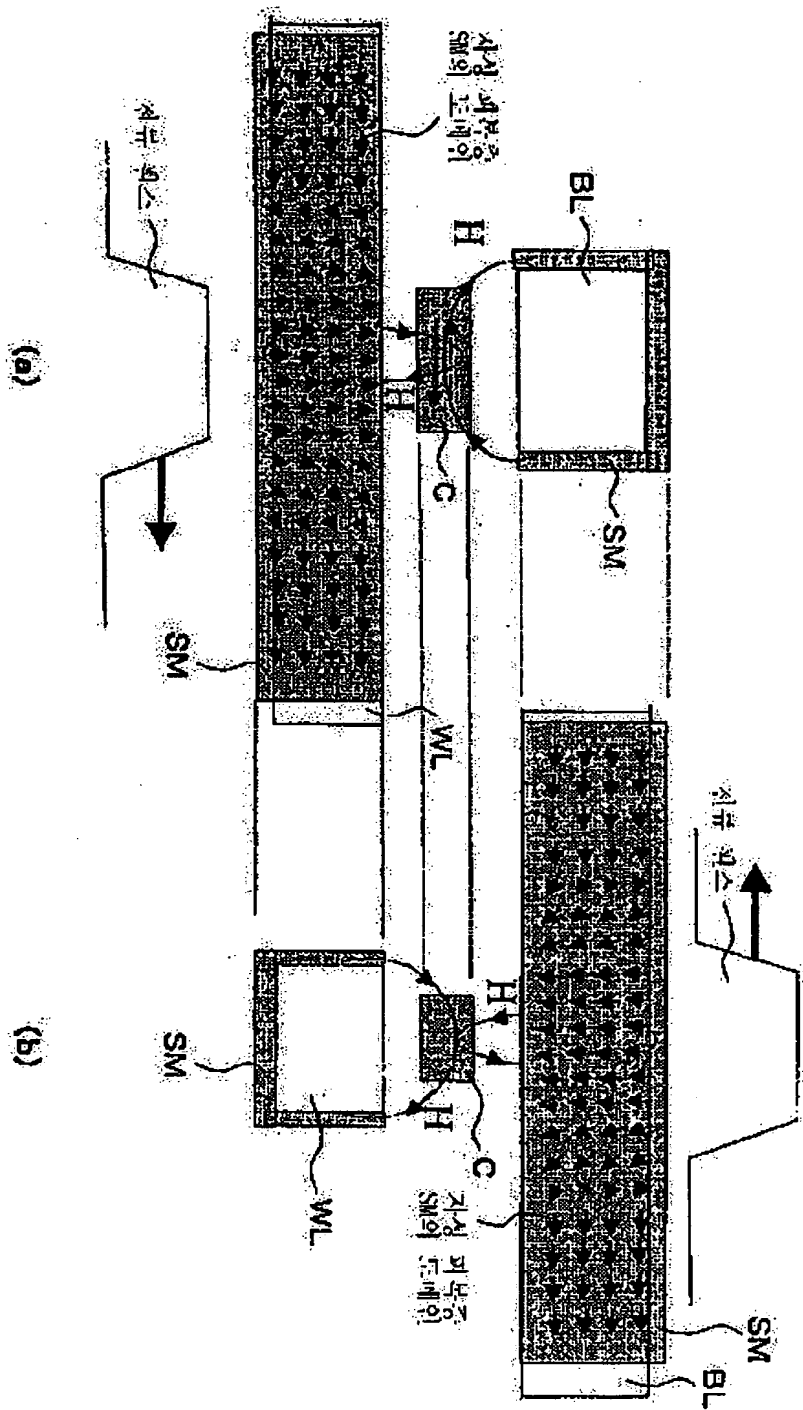
506



507

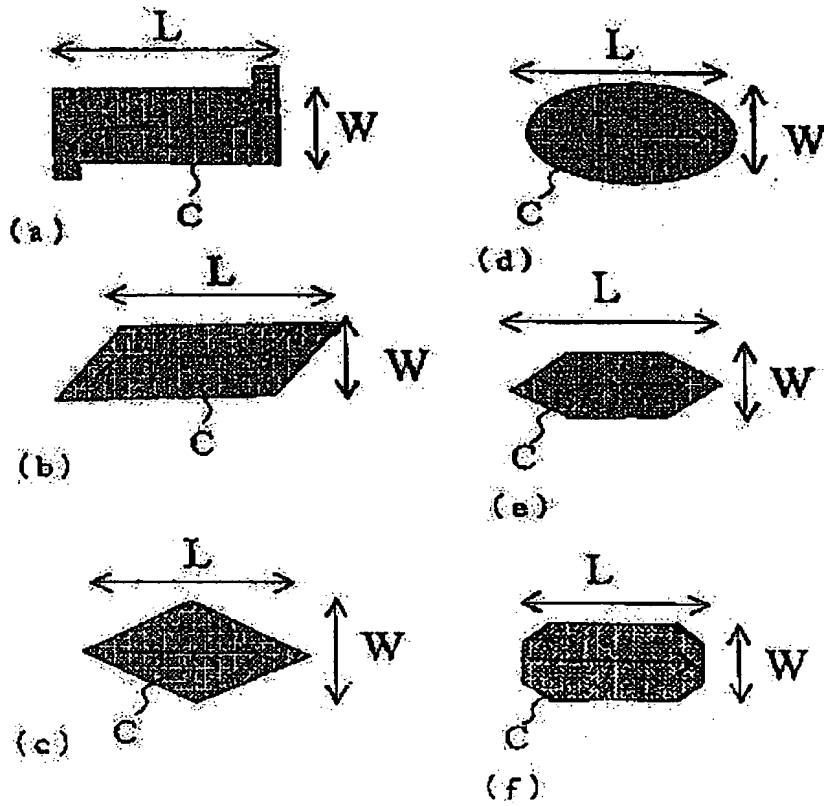


51-22

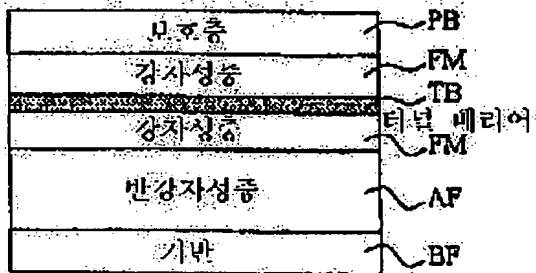


도면 9

C 형상 (평면도)



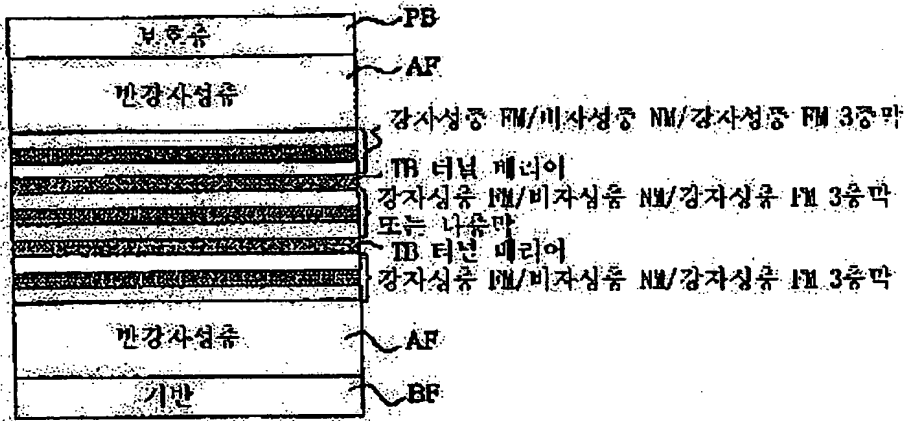
도면 10



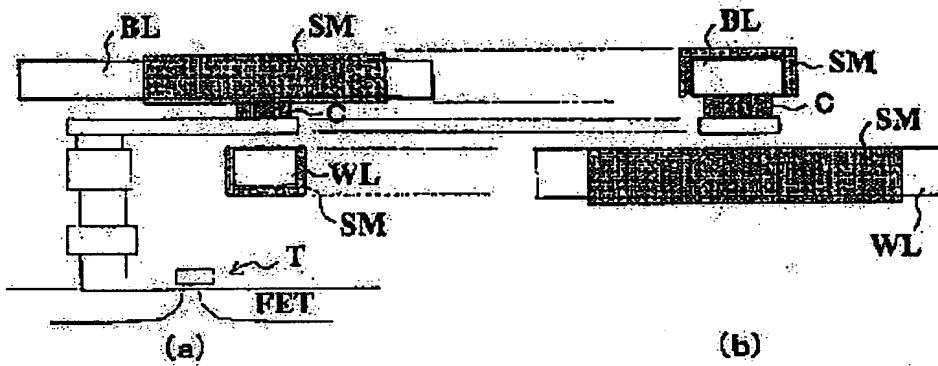




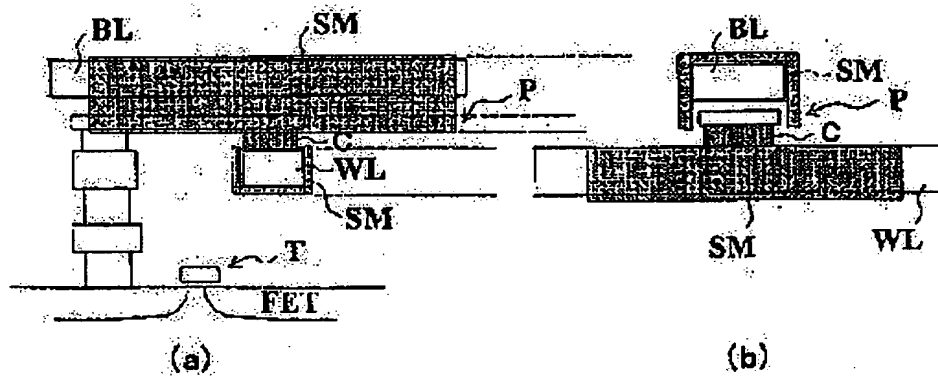
도면 14



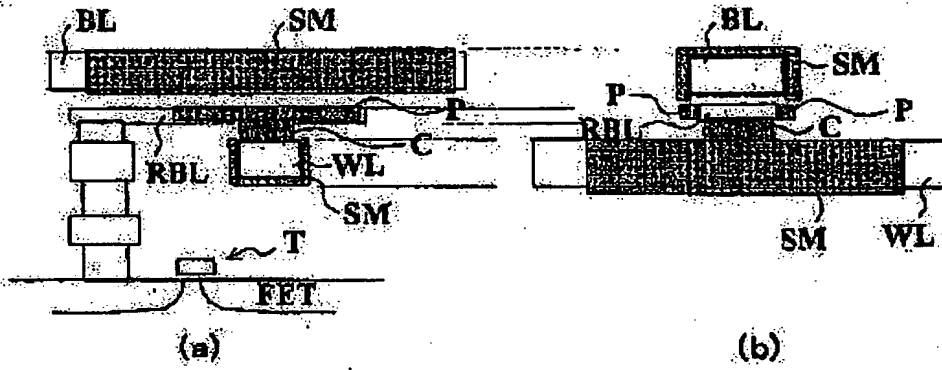
도면 15



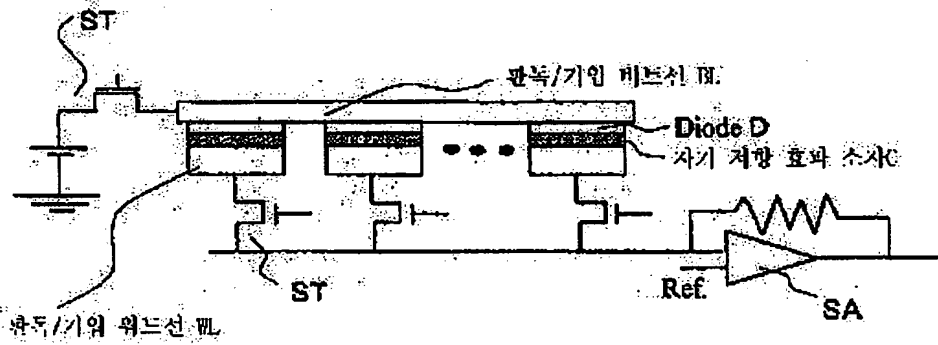
도면 16



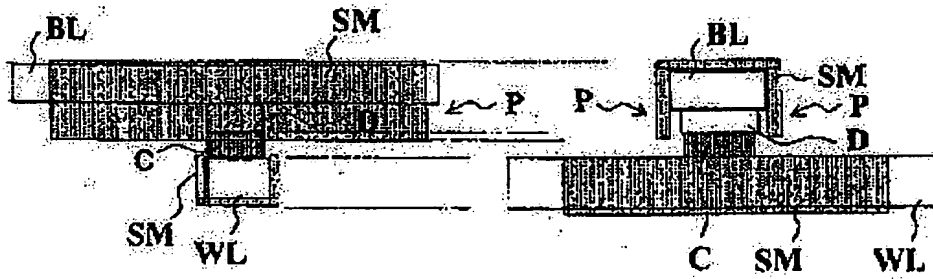
도면 17



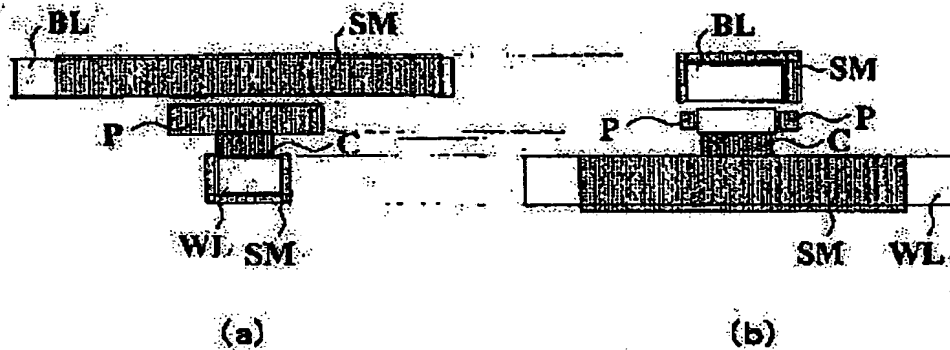
도면 18



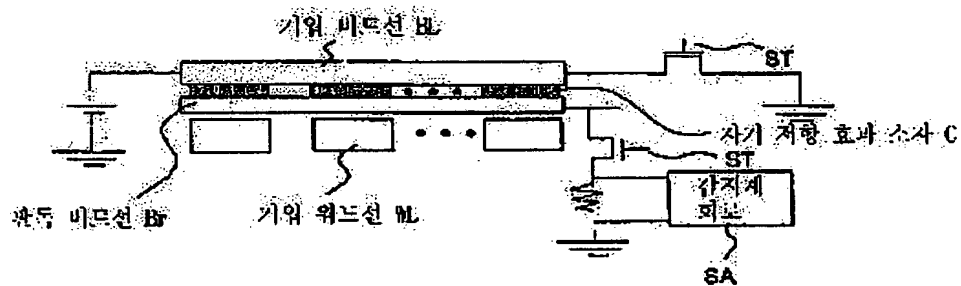
도면 19



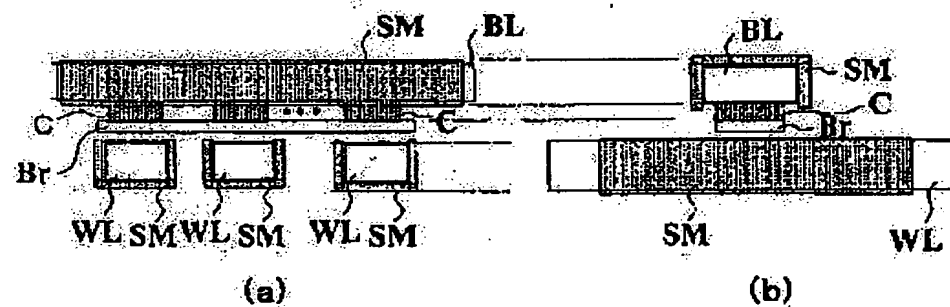
**도표 20**



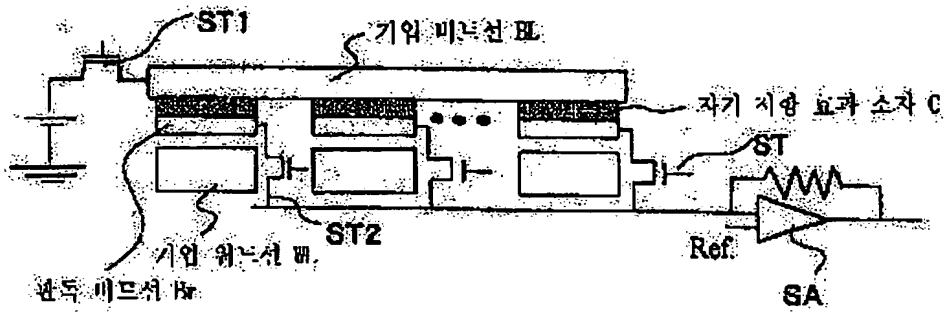
**도전21**



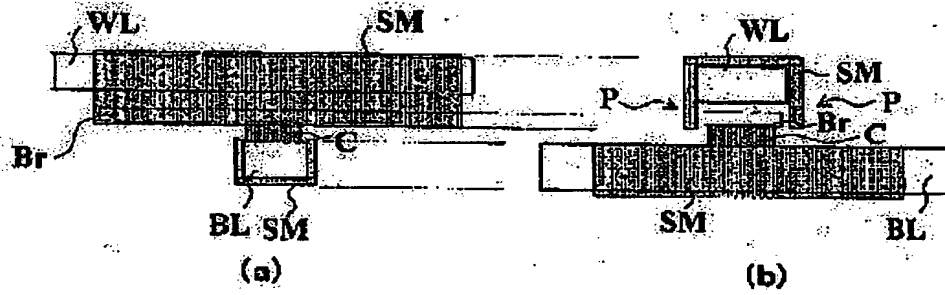
**도표 22**



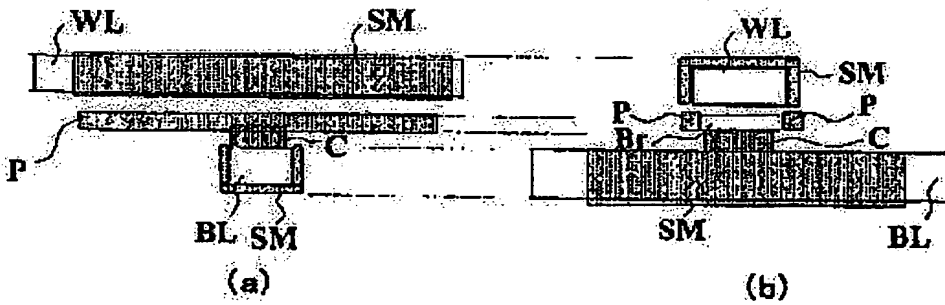
도 23



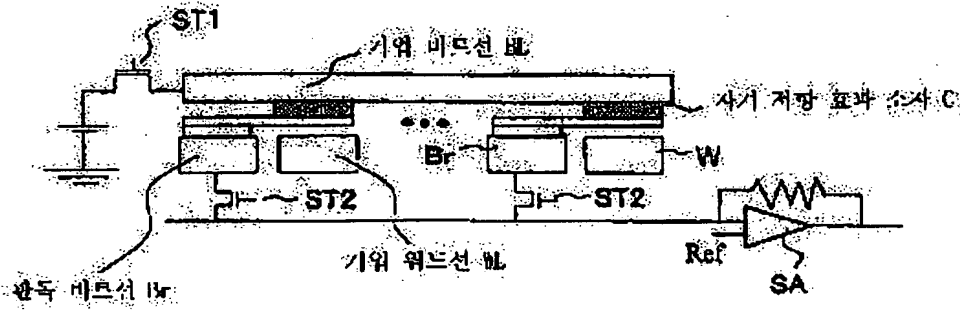
도 24



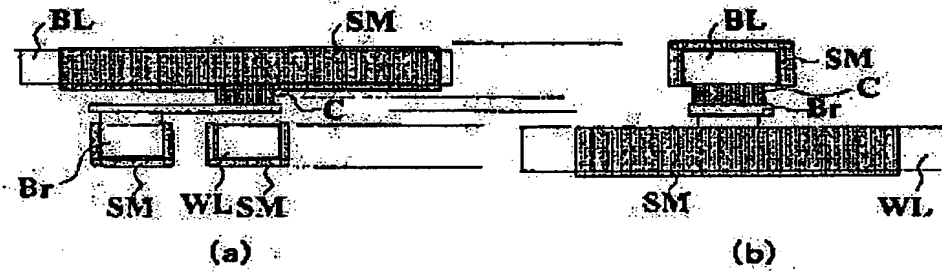
도 25



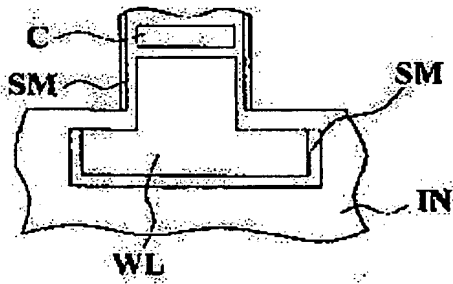
도 28



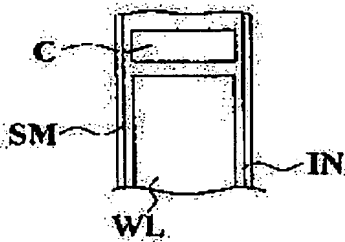
도 27



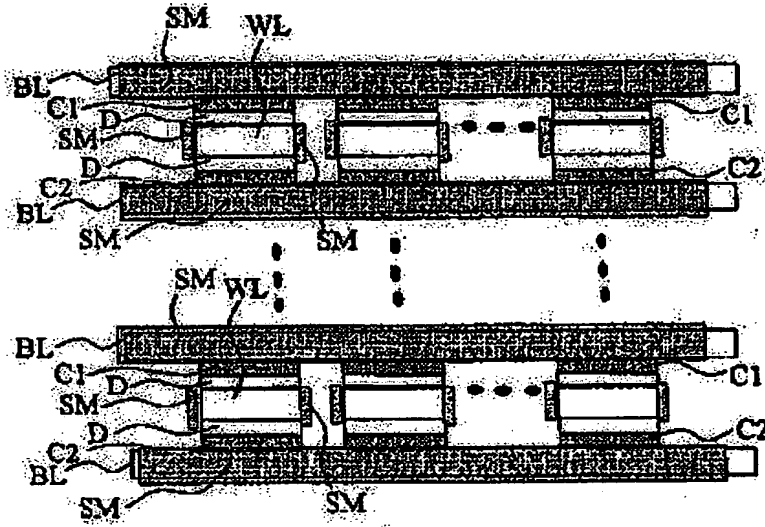
도 28



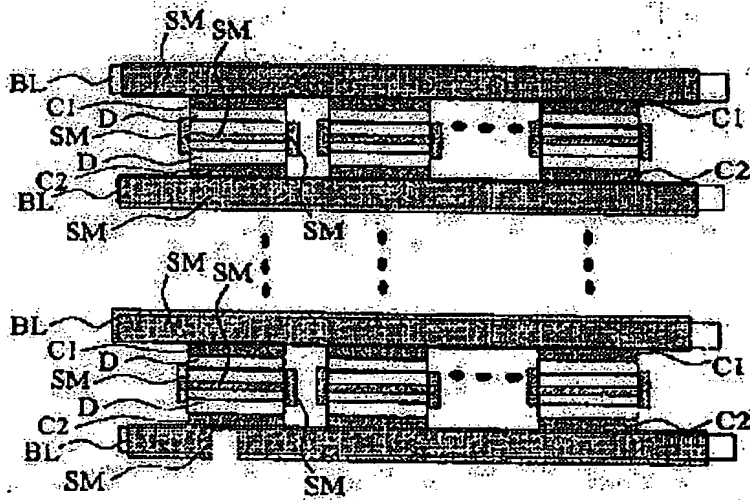
도 29



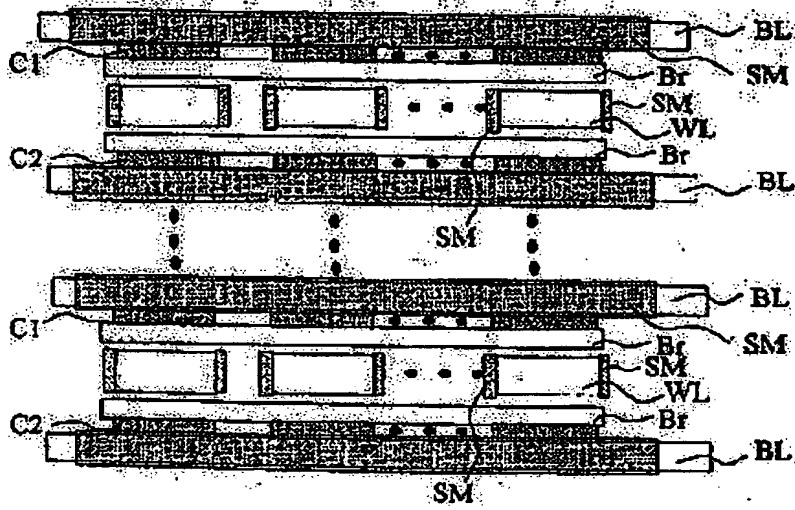
도 30



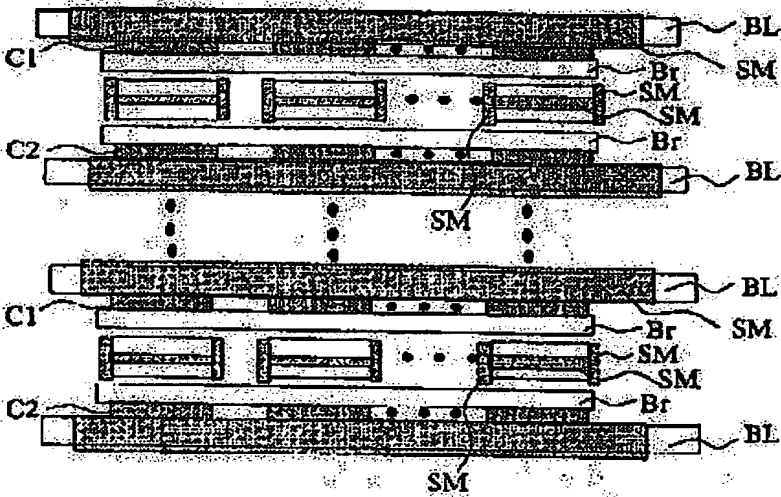
도 31



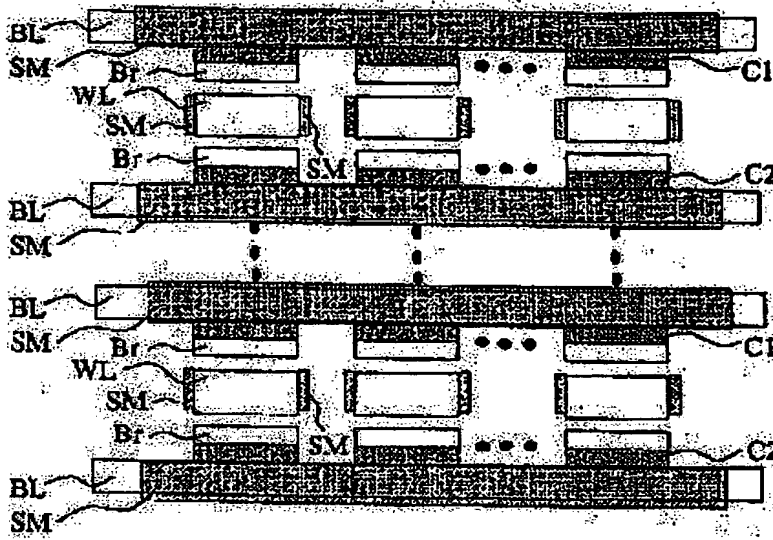
5132



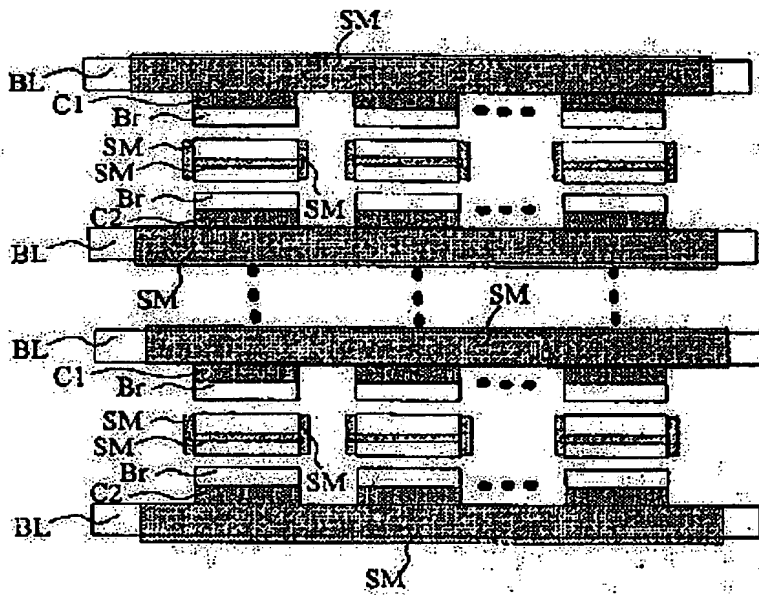
5133



도 34

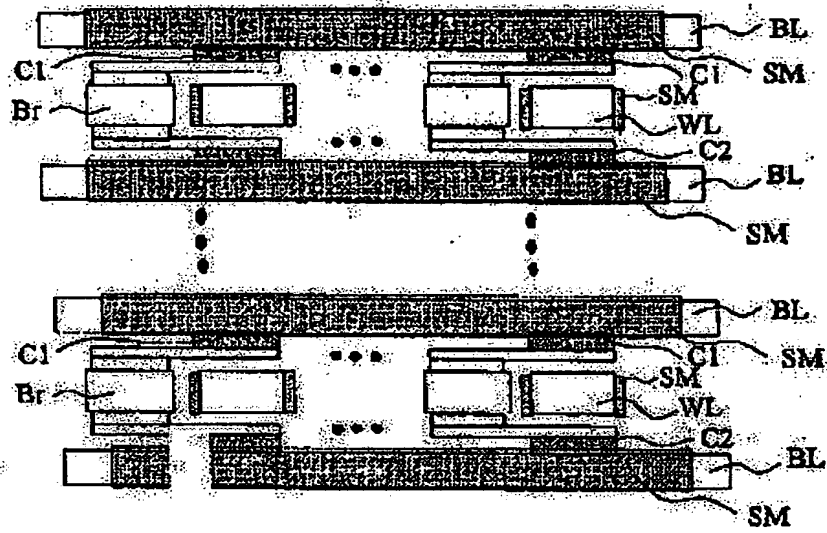


도 35

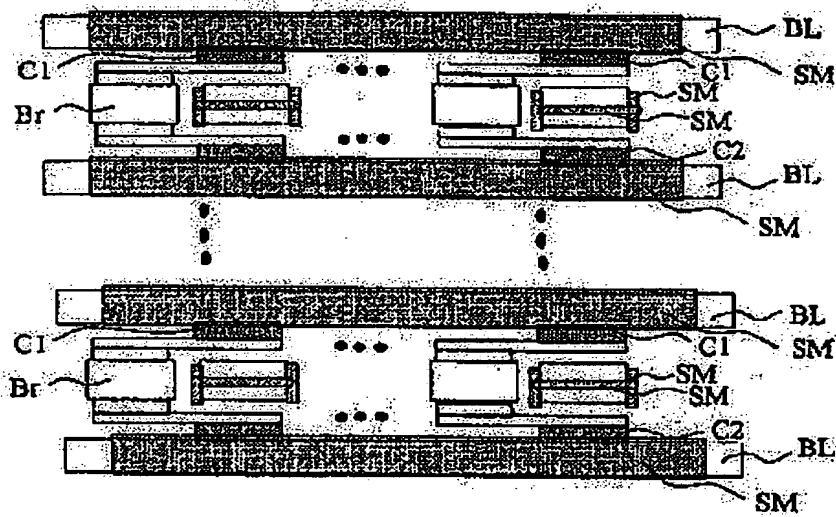




도 36



도 37



도면38

사정 피착 패턴의 두께 t ( $\mu m$ )	TMR 선이후의 길이 ( $\mu m$ )	다발 길이 ( $\mu m$ )	비상 패턴의 길이 L 1 ( $\mu m$ )	비상 패턴의 부수
0.01	0.3	0.45	0.3	유
0.02	0.3	0.45	0.3	유
0.04	0.3	0.45	0.3	유
0.06	0.3	0.45	0.3	유
0.01	0.45	0.6	0.45	유
0.02	0.45	0.6	0.45	유
0.04	0.45	0.6	0.45	유
0.06	0.45	0.6	0.45	유
0.01	0.6	0.75	0.6	유
0.02	0.6	0.75	0.6	유
0.04	0.6	0.75	0.6	유
0.06	0.6	0.75	0.6	유
0.01	0.8	0.95	0.8	유
0.02	0.8	0.95	0.8	유
0.04	0.8	0.95	0.8	유
0.06	0.8	0.95	0.8	유
0.01	0.3	0.45	0.5	유
0.02	0.3	0.45	0.5	유
0.04	0.3	0.45	0.5	유
0.06	0.3	0.45	0.5	유
0.01	0.45	0.6	0.65	유
0.02	0.45	0.6	0.65	유
0.04	0.45	0.6	0.65	유
0.06	0.45	0.6	0.65	유
0.01	0.6	0.75	0.8	유
0.02	0.6	0.75	0.8	유
0.04	0.6	0.75	0.8	유
0.06	0.6	0.75	0.8	유
0.01	0.8	0.95	1	유
0.02	0.8	0.95	1	유
0.04	0.8	0.95	1	유
0.06	0.8	0.95	1	유

도 30

자성 피복 패턴의 두께 t ( $\mu m$ )	TMR 길이축의 길이 ( $\mu m$ )	LS의 길이 ( $\mu m$ )	피복 패턴의 길이 L 1 ( $\mu m$ )	증착 방법의 종류
0.01	0.3	0.45	0.7	유
0.02	0.3	0.45	0.7	유
0.04	0.3	0.45	0.7	유
0.06	0.3	0.45	0.7	유
0.01	0.45	0.6	0.85	유
0.02	0.45	0.6	0.85	유
0.04	0.45	0.6	0.85	유
0.06	0.45	0.6	0.85	유
0.01	0.6	0.75	1	유
0.02	0.6	0.75	1	유
0.04	0.6	0.75	1	유
0.06	0.6	0.75	1	유
0.01	0.8	0.95	1.2	유
0.02	0.8	0.95	1.2	유
0.04	0.8	0.95	1.2	유
0.06	0.8	0.95	1.2	유
0.01	0.3	0.45	0.9	유
0.02	0.3	0.45	0.9	유
0.04	0.3	0.45	0.9	유
0.06	0.3	0.45	0.9	유
0.01	0.45	0.6	1.05	유
0.02	0.45	0.6	1.05	유
0.04	0.45	0.6	1.05	유
0.06	0.45	0.6	1.05	유
0.01	0.6	0.75	1.2	유
0.02	0.6	0.75	1.2	유
0.04	0.6	0.75	1.2	유
0.06	0.6	0.75	1.2	유
0.01	0.8	0.95	1.4	유
0.02	0.8	0.95	1.4	유
0.04	0.8	0.95	1.4	유
0.06	0.8	0.95	1.4	유

도표 40

시험 결과 측정의 두께 t ( $\mu\text{m}$ )	TMR 길이측의 길이 ( $\mu\text{m}$ )	L1의 길이 ( $\mu\text{m}$ )	제1 배선층 길이 L1 ( $\mu\text{m}$ )	중간 실험의 유무
0.01	0.3	0.45	1.1	유
0.02	0.3	0.45	1.1	유
0.04	0.3	0.45	1.1	유
0.06	0.3	0.45	1.1	유
0.01	0.45	0.6	1.25	유
0.02	0.45	0.6	1.25	유
0.04	0.45	0.6	1.25	유
0.06	0.45	0.6	1.25	유
0.01	0.6	0.75	1.4	유
0.02	0.6	0.75	1.4	유
0.04	0.6	0.75	1.4	유
0.06	0.6	0.75	1.4	유
0.01	0.8	0.95	1.6	유
0.02	0.8	0.95	1.6	유
0.04	0.8	0.95	1.6	유
0.06	0.8	0.95	1.6	유
0.01	0.3	0.45	1.45	유
0.02	0.3	0.45	1.45	유
0.04	0.3	0.45	1.45	유
0.06	0.3	0.45	1.45	유
0.01	0.45	0.6	1.6	유
0.02	0.45	0.6	1.6	유
0.04	0.45	0.6	1.6	유
0.06	0.45	0.6	1.6	유
0.01	0.6	0.75	1.8	유
0.02	0.6	0.75	1.8	유
0.04	0.6	0.75	1.8	유
0.06	0.6	0.75	1.8	유
0.01	0.8	0.95	1.5	유
0.02	0.8	0.95	1.5	유
0.04	0.8	0.95	1.5	유
0.06	0.8	0.95	1.5	유

도면 41

자성체 피복 패턴의 두께 t ( $\mu\text{m}$ )	TMA 길이축의 길이 ( $\mu\text{m}$ )	노즐의 길이 ( $\mu\text{m}$ )	피복 패턴의 길이 L-1 ( $\mu\text{m}$ )	동자 조항의 유무
0.01	0.3	0.45	1.7	무
0.02	0.3	0.45	1.7	무
0.04	0.3	0.45	1.7	무
0.06	0.3	0.45	1.7	유
0.01	0.45	0.6	1.85	무
0.02	0.45	0.6	1.85	무
0.04	0.45	0.6	1.85	무
0.06	0.45	0.6	1.85	유
0.01	0.6	0.75	2	유
0.02	0.6	0.75	2	유
0.04	0.6	0.75	2	유
0.06	0.6	0.75	2	유
0.01	0.3	0.45	2	무
0.02	0.3	0.45	2	무
0.04	0.3	0.45	2	무
0.06	0.3	0.45	2	유
0.01	0.45	0.6	2	무
0.02	0.45	0.6	2	무
0.04	0.45	0.6	2	무
0.06	0.45	0.6	2	유

5B42

서상 배선 배선의 두께 $(\mu m)$	TMR 길이축의 길이 $(\mu m)$	L3의 길이 $(\mu m)$	외부 배선의 길이 L1 $(\mu m)$	동적 불량의 유무
0.01	0.3	0.45	0.3	유
0.02	0.3	0.45	0.3	무
0.04	0.3	0.45	0.3	무
0.08	0.3	0.45	0.3	무
0.01	0.45	0.6	0.45	유
0.02	0.45	0.6	0.45	무
0.04	0.45	0.6	0.45	무
0.08	0.45	0.6	0.45	무
0.01	0.6	0.75	0.6	유
0.02	0.6	0.75	0.6	무
0.04	0.6	0.75	0.6	무
0.08	0.6	0.75	0.6	무
0.01	0.8	0.95	0.8	무
0.02	0.8	0.95	0.8	무
0.04	0.8	0.95	0.8	무
0.08	0.8	0.95	0.8	유
0.01	0.3	0.45	0.5	무
0.02	0.3	0.45	0.5	무
0.04	0.3	0.45	0.5	무
0.08	0.3	0.45	0.5	유

도표43

서상 피복 레진막 두께 t ( $\mu m$ )	TBR 길이방향 길이 ( $\mu m$ )	13막 길이 ( $\mu m$ )	서상 레진막 길이 L1 ( $\mu m$ )	층상 방향막 유무
0.01	0.3	0.45	0.7	유
0.02	0.3	0.45	0.7	유
0.04	0.3	0.45	0.7	유
0.06	0.3	0.45	0.7	유
0.01	0.45	0.6	0.85	무
0.02	0.45	0.6	0.85	무
0.04	0.45	0.6	0.85	무
0.06	0.45	0.6	0.85	유
0.01	0.6	0.75	1	유
0.02	0.6	0.75	1	유
0.04	0.6	0.75	1	유
0.06	0.6	0.75	1	유
0.01	0.8	0.95	1.2	유
0.02	0.8	0.95	1.2	유
0.04	0.8	0.95	1.2	유
0.06	0.8	0.95	1.2	유
0.01	0.3	0.45	0.9	무
0.02	0.3	0.45	0.9	무
0.04	0.3	0.45	0.9	무
0.06	0.3	0.45	0.9	유

EDM

가장 작은 패치 두께 t ( $\mu m$ )	TMR 시어층의 길이 ( $\mu m$ )	LS의 길이 ( $\mu m$ )	외부 패치의 길이 L-1 ( $\mu m$ )	충격 공명의 유무
0.01	0.3	0.45	1.1	무
0.02	0.3	0.45	1.1	무
0.04	0.3	0.45	1.1	무
0.08	0.3	0.45	1.1	유
0.01	0.45	0.6	1.25	무
0.02	0.45	0.6	1.25	무
0.04	0.45	0.6	1.25	무
0.08	0.45	0.6	1.25	무
0.01	0.6	0.75	1.4	무
0.02	0.6	0.75	1.4	무
0.04	0.6	0.75	1.4	유
0.08	0.6	0.75	1.4	무
0.01	0.8	0.95	1.6	유
0.02	0.8	0.95	1.6	무
0.04	0.8	0.95	1.6	무
0.08	0.8	0.95	1.6	무
0.01	0.3	0.45	1.45	무
0.02	0.3	0.45	1.45	무
0.04	0.3	0.45	1.45	무
0.08	0.3	0.45	1.45	유



도 45

자성 피복 패턴의 두께 t ( $\mu\text{m}$ )	TMR 길이층의 길이 ( $\mu\text{m}$ )	L3의 길이 ( $\mu\text{m}$ )	피복 패턴의 길이 L1 ( $\mu\text{m}$ )	층상 분할의 유무
0.01	0.3	0.45	1.1	유
0.02	0.3	0.45	1.1	유
0.04	0.3	0.45	1.1	유
0.06	0.3	0.45	1.1	유
0.01	0.45	0.6	1.25	유
0.02	0.45	0.6	1.25	유
0.04	0.45	0.6	1.25	유
0.06	0.45	0.6	1.25	유
0.01	0.6	0.75	1.4	유
0.02	0.6	0.75	1.4	유
0.04	0.6	0.75	1.4	유
0.06	0.6	0.75	1.4	유
0.01	0.8	0.95	1.6	유
0.02	0.8	0.95	1.6	유
0.04	0.8	0.95	1.6	유
0.06	0.8	0.95	1.6	유
0.01	0.3	0.45	1.45	무
0.02	0.3	0.45	1.45	유
0.04	0.3	0.45	1.45	유
0.06	0.3	0.45	1.45	유
0.01	0.45	0.6	1.6	무
0.02	0.45	0.6	1.6	무
0.04	0.45	0.6	1.6	유
0.06	0.45	0.6	1.6	유
0.01	0.6	0.75	1.8	유
0.02	0.6	0.75	1.8	유
0.04	0.6	0.75	1.8	유
0.06	0.6	0.75	1.8	유
0.01	0.8	0.95	1.5	유
0.02	0.8	0.95	1.5	유
0.04	0.8	0.95	1.5	유
0.06	0.8	0.95	1.5	유

5043

차장 피복 레션의 두께 t ( $\mu m$ )	TMR 레션의 길이 ( $\mu m$ )	LS의 길이 ( $\mu m$ )	비록 레션의 길이 L1 ( $\mu m$ )	증적 분량에 유무
0.01	0.3	0.45	1.7	유
0.02	0.3	0.45	1.7	유
0.04	0.3	0.45	1.7	유
0.06	0.3	0.45	1.7	유
0.01	0.45	0.6	1.85	부
0.02	0.45	0.6	1.85	부
0.04	0.45	0.6	1.85	유
0.06	0.45	0.6	1.85	유
0.01	0.6	0.75	2	부
0.02	0.6	0.75	2	유
0.04	0.6	0.75	2	유
0.06	0.6	0.75	2	유
0.01	0.3	0.45	2	부
0.02	0.3	0.45	2	부
0.04	0.3	0.45	2	유
0.06	0.3	0.45	2	유
0.01	0.45	0.6	2	부
0.02	0.45	0.6	2	부
0.04	0.45	0.6	2	유
0.06	0.45	0.6	2	유

도면 47

자성 피복 배선의 두께 t ( $\mu\text{m}$ )	TMR 길이축의 길이 ( $\mu\text{m}$ )	L3의 길이 ( $\mu\text{m}$ )	피복 배선의 길이 L 1 ( $\mu\text{m}$ )	중저 불량의 유무
0.01	0.3	0.45	0.3	유
0.02	0.3	0.45	0.3	유
0.04	0.3	0.45	0.3	유
0.06	0.3	0.45	0.3	유
0.01	0.45	0.6	0.45	유
0.02	0.45	0.6	0.45	유
0.04	0.45	0.6	0.45	유
0.06	0.45	0.6	0.45	유
0.01	0.6	0.75	0.6	유
0.02	0.6	0.75	0.6	유
0.04	0.6	0.75	0.6	유
0.06	0.6	0.75	0.6	유
0.01	0.8	0.95	0.8	유
0.02	0.8	0.95	0.8	유
0.04	0.8	0.95	0.8	유
0.06	0.8	0.95	0.8	유
0.01	0.3	0.45	0.5	유
0.02	0.3	0.45	0.5	유
0.04	0.3	0.45	0.5	유
0.06	0.3	0.45	0.5	유
0.01	0.45	0.6	0.65	유
0.02	0.45	0.6	0.65	유
0.04	0.45	0.6	0.65	유
0.06	0.45	0.6	0.65	유
0.01	0.6	0.75	0.8	유
0.02	0.6	0.75	0.8	유
0.04	0.6	0.75	0.8	유
0.06	0.6	0.75	0.8	유
0.01	0.8	0.95	1	유
0.02	0.8	0.95	1	유
0.04	0.8	0.95	1	유
0.06	0.8	0.95	1	유

도 148

서칭 피크 해상도 주파수 $f$ ( $\mu\text{m}$ )	TMR 길이주파 길이 ( $\mu\text{m}$ )	L3의 길이 ( $\mu\text{m}$ )	피크 해상도의 길이 L 1 ( $\mu\text{m}$ )	충격 분할의 유무
0.01	0.3	0.45	0.7	유
0.02	0.3	0.45	0.7	유
0.04	0.3	0.45	0.7	유
0.06	0.3	0.45	0.7	유
0.01	0.45	0.6	0.85	유
0.02	0.45	0.6	0.85	유
0.04	0.45	0.6	0.85	유
0.06	0.45	0.6	0.85	유
0.01	0.6	0.75	1	유
0.02	0.6	0.75	1	유
0.04	0.6	0.75	1	유
0.06	0.6	0.75	1	유
0.01	0.8	0.95	1.2	유
0.02	0.8	0.95	1.2	유
0.04	0.8	0.95	1.2	유
0.06	0.8	0.95	1.2	유
0.01	0.3	0.45	0.9	유
0.02	0.3	0.45	0.9	유
0.04	0.3	0.45	0.9	유
0.06	0.3	0.45	0.9	유
0.01	0.45	0.6	1.05	유
0.02	0.45	0.6	1.05	유
0.04	0.45	0.6	1.05	유
0.06	0.45	0.6	1.05	유
0.01	0.6	0.75	1.2	유
0.02	0.6	0.75	1.2	유
0.04	0.6	0.75	1.2	유
0.06	0.6	0.75	1.2	유
0.01	0.8	0.95	1.4	유
0.02	0.8	0.95	1.4	유
0.04	0.8	0.95	1.4	유
0.06	0.8	0.95	1.4	유

ED40

저상 피복 배선막 두께 t ( $\mu m$ )	TBR 길이중의 길이 ( $\mu m$ )	LS의 길이 ( $\mu m$ )	피복 배선막 길이 L 1 ( $\mu m$ )	충격 흡입의 유무
0.01	0.3	0.45	1.1	부
0.02	0.3	0.45	1.1	부
0.04	0.3	0.45	1.1	부
0.06	0.3	0.45	1.1	유
0.01	0.45	0.6	1.25	부
0.02	0.45	0.6	1.25	부
0.04	0.45	0.6	1.25	부
0.06	0.45	0.6	1.25	유
0.01	0.6	0.75	1.4	유
0.02	0.6	0.75	1.4	유
0.04	0.6	0.75	1.4	유
0.06	0.6	0.75	1.4	유
0.01	0.8	0.95	1.6	유
0.02	0.8	0.95	1.6	유
0.04	0.8	0.95	1.6	유
0.06	0.8	0.95	1.6	유
0.01	0.3	0.45	1.45	부
0.02	0.3	0.45	1.45	부
0.04	0.3	0.45	1.45	부
0.06	0.3	0.45	1.45	유
0.01	0.45	0.6	1.6	부
0.02	0.45	0.6	1.6	부
0.04	0.45	0.6	1.6	부
0.06	0.45	0.6	1.6	유
0.01	0.6	0.75	1.8	유
0.02	0.6	0.75	1.8	유
0.04	0.6	0.75	1.8	유
0.06	0.6	0.75	1.8	유
0.01	0.8	0.95	1.5	유
0.02	0.8	0.95	1.5	유
0.04	0.8	0.95	1.5	유
0.06	0.8	0.95	1.5	유

도 50

사상 패턴 배선의 두께 t ( $\mu\text{m}$ )	TRR 길의 폭의 길이 ( $\mu\text{m}$ )	L3의 길이 ( $\mu\text{m}$ )	외부 배선의 길이 L1 ( $\mu\text{m}$ )	층의 종류의 유무
0.01	0.3	0.45	1.7	부
0.02	0.3	0.45	1.7	부
0.04	0.3	0.45	1.7	부
0.06	0.3	0.45	1.7	유
0.01	0.45	0.6	1.85	부
0.02	0.45	0.6	1.85	부
0.04	0.45	0.6	1.85	부
0.06	0.45	0.6	1.85	유
0.01	0.6	0.75	2	부
0.02	0.6	0.75	2	부
0.04	0.6	0.75	2	부
0.06	0.6	0.75	2	유
0.01	0.3	0.45	2	부
0.02	0.3	0.45	2	부
0.04	0.3	0.45	2	부
0.06	0.3	0.45	2	부
0.01	0.45	0.6	2	부
0.02	0.45	0.6	2	부
0.04	0.45	0.6	2	부
0.06	0.45	0.6	2	유

도면51

자성 피복 패턴의 두께 t ( $\mu\text{m}$ )	TMR 기어층의 길이 ( $\mu\text{m}$ )	13의 길이 ( $\mu\text{m}$ )	외곽 패턴의 길이 L1 ( $\mu\text{m}$ )	동작 유무
0.01	0.3	0.45	1.1	유
0.02	0.3	0.45	1.1	유
0.04	0.3	0.45	1.1	유
0.06	0.3	0.45	1.1	유
0.01	0.45	0.6	1.25	유
0.02	0.45	0.6	1.25	유
0.04	0.45	0.6	1.25	유
0.06	0.45	0.6	1.25	유
0.01	0.6	0.75	1.4	유
0.02	0.6	0.75	1.4	유
0.04	0.6	0.75	1.4	유
0.06	0.6	0.75	1.4	유
0.01	0.8	0.95	1.6	유
0.02	0.8	0.95	1.6	유
0.04	0.8	0.95	1.6	유
0.06	0.8	0.95	1.6	유
0.01	0.3	0.45	1.45	무
0.02	0.3	0.45	1.45	유
0.04	0.3	0.45	1.45	유
0.06	0.3	0.45	1.45	유
0.01	0.45	0.6	1.6	무
0.02	0.45	0.6	1.6	무
0.04	0.45	0.6	1.6	유
0.06	0.45	0.6	1.6	유
0.01	0.6	0.75	1.8	유
0.02	0.6	0.75	1.8	유
0.04	0.6	0.75	1.8	유
0.06	0.6	0.75	1.8	유
0.01	0.8	0.95	1.5	유
0.02	0.8	0.95	1.5	유
0.04	0.8	0.95	1.5	유
0.06	0.8	0.95	1.5	유

도면 52

저상 피복 레전층의 두께 t ( $\mu\text{m}$ )	TMR 감이층의 길이 ( $\mu\text{m}$ )	1.0의 길이 ( $\mu\text{m}$ )	피복 레전층 두께 L 1 ( $\mu\text{m}$ )	유사 부품의 부호
0.01	0.3	0.45	1.7	유
0.02	0.3	0.45	1.7	유
0.04	0.3	0.45	1.7	유
0.06	0.3	0.45	1.7	유
0.01	0.45	0.6	1.85	유
0.02	0.45	0.6	1.85	유
0.04	0.45	0.6	1.85	유
0.06	0.45	0.6	1.85	유
0.01	0.6	0.75	2	유
0.02	0.6	0.75	2	유
0.04	0.6	0.75	2	유
0.06	0.6	0.75	2	유
0.01	0.3	0.45	2	유
0.02	0.3	0.45	2	유
0.04	0.3	0.45	2	유
0.06	0.3	0.45	2	유
0.01	0.45	0.6	2	유
0.02	0.45	0.6	2	유
0.04	0.45	0.6	2	유
0.06	0.45	0.6	2	유



도 53

시선 편차 배선의 두께 t ( $\mu\text{m}$ )	TMR 감응층의 길이 ( $\mu\text{m}$ )	L3의 길이 ( $\mu\text{m}$ )	피막 배선층 길이 L1 ( $\mu\text{m}$ )	층의 불량의 유무
0.01	0.3	0.45	0.3	없음
0.02	0.3	0.45	0.3	유
0.04	0.3	0.45	0.3	없음
0.06	0.3	0.45	0.3	없음
0.01	0.45	0.6	0.45	없음
0.02	0.45	0.6	0.45	유
0.04	0.45	0.6	0.45	유
0.06	0.45	0.6	0.45	유
0.01	0.6	0.75	0.6	유
0.02	0.6	0.75	0.6	유
0.04	0.6	0.75	0.6	유
0.06	0.6	0.75	0.6	유
0.01	0.8	0.95	0.8	유
0.02	0.8	0.95	0.8	유
0.04	0.8	0.95	0.8	유
0.06	0.8	0.95	0.8	유
0.01	0.3	0.45	0.5	유
0.02	0.3	0.45	0.5	유
0.04	0.3	0.45	0.5	유
0.06	0.3	0.45	0.5	유
0.01	0.45	0.6	0.65	유
0.02	0.45	0.6	0.65	유
0.04	0.45	0.6	0.65	유
0.06	0.45	0.6	0.65	유

도면 54

사실 표면 매질의 두께 $t$ ( $\mu m$ )	1차 길이측의 길이 ( $\mu m$ )	2차 길이 ( $\mu m$ )	3차 매질의 길이 $L_1$ ( $\mu m$ )	동적 분량의 유무
0.01	0.3	0.45	0.7	유
0.02	0.3	0.45	0.7	유
0.04	0.3	0.45	0.7	유
0.06	0.3	0.45	0.7	유
0.01	0.45	0.6	0.85	유
0.02	0.45	0.6	0.85	유
0.04	0.45	0.6	0.85	유
0.06	0.45	0.6	0.85	유
0.01	0.6	0.75	1	유
0.02	0.6	0.75	1	유
0.04	0.6	0.75	1	유
0.06	0.6	0.75	1	유
0.01	0.8	0.95	1.2	유
0.02	0.8	0.95	1.2	유
0.04	0.8	0.95	1.2	유
0.06	0.8	0.95	1.2	유
0.01	0.3	0.45	0.9	유
0.02	0.3	0.45	0.9	유
0.04	0.3	0.45	0.9	유
0.06	0.3	0.45	0.9	유
0.01	0.45	0.6	1.05	유
0.02	0.45	0.6	1.05	유
0.04	0.45	0.6	1.05	유
0.06	0.45	0.6	1.05	유

도면55

사정 피복 패턴의 두께 t ( $\mu m$ )	TBR 기아폭의 길이 ( $\mu m$ )	13의 길이 ( $\mu m$ )	피복 패턴의 길이 L 1 ( $\mu m$ )	농도 함량의 비율
0.01	0.3	0.45	1.1	무
0.02	0.3	0.45	1.1	무
0.04	0.3	0.45	1.1	무
0.06	0.3	0.45	1.1	무
0.01	0.45	0.6	1.25	무
0.02	0.45	0.6	1.25	무
0.04	0.45	0.6	1.25	무
0.06	0.45	0.6	1.25	무
0.01	0.6	0.75	1.4	무
0.02	0.6	0.75	1.4	무
0.04	0.6	0.75	1.4	무
0.06	0.6	0.75	1.4	무
0.01	0.8	0.95	1.6	무
0.02	0.8	0.95	1.6	무
0.04	0.8	0.95	1.6	무
0.06	0.8	0.95	1.6	무
0.01	0.3	0.45	1.45	무
0.02	0.3	0.45	1.45	무
0.04	0.3	0.45	1.45	무
0.06	0.3	0.45	1.45	무
0.01	0.45	0.6	1.6	무
0.02	0.45	0.6	1.6	무
0.04	0.45	0.6	1.6	무
0.06	0.45	0.6	1.6	무

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**